

一种数字式微波延迟线设计

唐盘良¹, 段成丽², 黄莹¹

(1. 中国电子科技集团公司第26研究所, 重庆 400060; 2. 中国国防科技信息中心, 北京 100142)

摘要:通过混频将微波信号下变频到中频,在中频进行数字化,并采用循环存取法完成数字信号延迟处理,最后再将数字信号还原成模拟信号并上变频回与输入信号频率相同的微波频段,最终设计出频率4 300 MHz、带宽70 MHz、最大延迟时间50 μ s、延迟步进5 ns的微波频段延迟线,该产品有很好的直通及三次信号抑制性能。

关键词:延迟线;数字式;混频;循环存取
中图分类号:TP24 **文献标识码:**A

Design of a Digital Microwave Delay Line

TANG Panliang¹, DUAN Chengli², HUANG Ying¹

(1. 26th Institute of China Electronics Technology Group Corporation, Chongqing 400060, China;
2. China Defense Science and Technology Information Center, Beijing 100142, China)

Abstract: The microwave signal was down-converted to IF signal by mixing, and was digitalized at IF, then the digitalized signal was delayed by the cyclic access; after that, the digitalized signal was converted back to the analog signal and up-converted to the microwave frequency same as the input signal frequency. Based on this process, a 4 300 MHz microwave delay line with 70 MHz bandwidth, maximum delay time of 50 μ s and delay time hop step of 5ns has been designed at last. The manufactured delay line has the features of good through and triple transmitting suppression.

Key words: delay line; digital; mixing; cyclic access

0 引言

作为一种最基本的信号处理单元,微波延迟线被广泛用于雷达、电子对抗、高度计、引信、目标模拟器等。根据不同的使用场合,微波延迟线可选择电缆、声表面波、声体波、光纤及数字等方式来实现。与其他方式相比,数字式微波延迟线具有延迟精度高,易实现长延迟,延迟时间可编程,体积小,质量轻,可靠性高等特点,有良好的发展前景。本文通过采用混频方式,将微波信号下变频至较低的中频频率,在中频进行数字延迟处理后再上变频回微波频段,从而达到了通过数字方式对微波频段信号进行延迟处理的目的。

1 工作原理简介

和模拟式延迟线不同,数字式延迟线是通过模数转换器将信号(S_i)采样、量化、编码后转换成数字信号,并根据任务需要在数字域对信号进行处理,然后从双口RAM的一端存入存储器,经过 m 个时钟周期后再从存储器另一端读出,并由数模转换器还原为模拟信号(S_o)后输出,如图1所示。

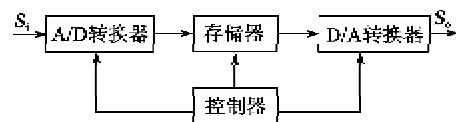


图1 数字式延迟线原理

根据奈奎斯特采样定理,要实现无失真采样,采样频率必须不小于被采样信号最高频率的2倍以上^[1],而高度计、雷达等微波系统一般都工作在数吉赫兹的微波频段,就目前的工艺水平,这显然很难。因此,人们提出了通带采样及交叉采样等多种改进方案,本文采用变频后直接采样方法,如图2所示。

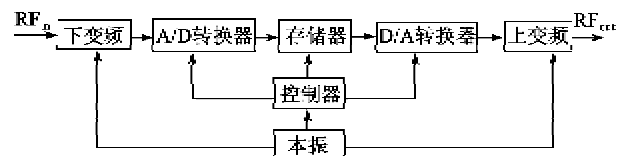


图2 采用变频实现数字式延迟原理

该延迟线输入微波信号(RF_{in})在下变频器中与本振信号LO混频得到频率较低的中频信号IF,中频信号被直接采样延迟后在上变频器中上变频回微波频率输出(RF_{out}),实现微波频段延迟。

收稿日期:2012-04-10

作者简介:唐盘良(1981-),男,四川渠县人,工程师,主要从事射频电路设计的研究。

2 设计

本文以研制某无线电高度表高度模拟器所需的微波延迟线作为设计目标,延迟线的输入信号频率为 4 265~4 335 MHz,最长延迟时间不小于 50 μs。

2.1 上、下变频部分设计

如果选用低本振方案,理想的上、下变频器输出频率分别为:

$$f_{RF_{out}} = f_{IF} + f_{LO_{out}} \quad (1)$$

$$f_{IF} = f_{RF_{in}} - f_{LO_{in}} \quad (2)$$

式中: $f_{RF_{out}}$ 为上变频器输出频率; f_{IF} 为下变频器输出频率。

如果上、下变频的混频器采用相同的本振信号 $f_{LO_{out}} = f_{LO_{in}}$,则延迟线不改变信号的频谱特性。实际上,由于混频器的非线性,混频输出信号 f_o 包含多个由输入信号 f_i 和本振信号 f_{LO} 加减组合而成的频率分量,即

$$f_o = n \times f_i \pm m \times f_{LO} \quad (3)$$

各频率分量的幅度随 n, m 的增大而逐渐减小。为控制其他杂散频率分量的影响,必须选择合理的混频结构、本振频率、滤波器参数。

本文设计中,选用下变频本振频率 $f_{LO1} = 4 250$ MHz,与输入信号直接混频后得到 15~85 MHz 中频信号,上变频则采用二次变频方案以减小滤波器设计难度。实现框图如图 3 所示:其中上混频的 2 个本振频率分别取 $f_{LO2} = 4 000$ MHz 和 $f_{LO3} = 250$ MHz。

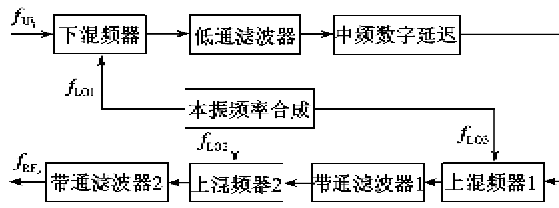


图 3 上、下变频实现框图

2.2 数字延迟部分设计

数字延迟部分如图 4 所示。控制器循环产生用于 A/D 转换器采样数据写入和 D/A 转换器数据读出的地址码,两者的更新周期与 A/D 转换器采样周期一致 $T=1/f_s=5$ ns。如果双口 RAM 的写入、

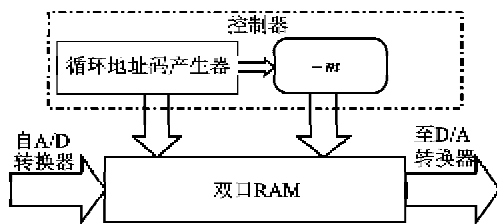


图 4 数字延迟部分原理图

读出地址相差 m ,则数字延迟时间为

$$\Delta t = T \times m \quad (4)$$

改变 m 可改变微波延迟线延迟时间,分辨率为 T 。

双口 RAM 的数据宽度应不小于 A/D 转换器的位数,最小容量 C_{min} 由采样时钟频率和最长延迟决定,本设计中

$$C_{min} \geq t_{max} / T = 50 \mu s / 5 \text{ ns} = 10 000 \quad (5)$$

本文采用 FPGA 作为控制器,它不但编程灵活、具有强大的高速数字信号处理能力,且有丰富的存储资源,使用厂商的宏语句易在其内部实现一个高速双口 RAM^[2]。

3 设计结果及讨论

通过设计和调试,我们最终得到了一个射频频率 4 300 MHz、带宽 75 MHz、最长延迟时间大于 50 μs、延迟步进 5 ns 的可调微波延迟线,典型的频域和时域测试曲线如图 5、6 所示。

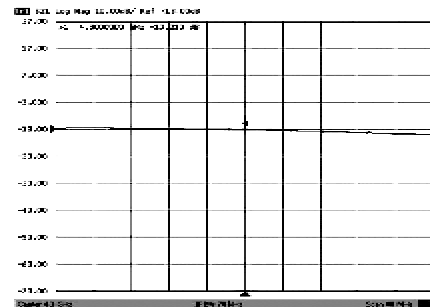


图 5 延迟线频域响应图

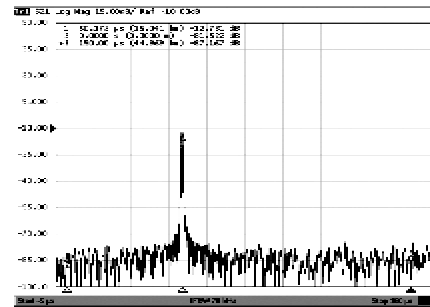


图 6 延迟线时域响应图

从图 5、6 可看出,延迟线在信号工作频段内幅频特性的起伏小于 3 dB,实际最长延迟 50.172 μs,无明显的直通、三次等时域杂波信号。

4 结束语

本文采用数字方式,通过变频实现了一个用于某型高度模拟器的微波延迟线设计,其性能满足常规高度表的测试和标定要求。

参考文献:

[1] 杨小牛,楼才义,徐建良. 软件无线电原理与应用[M]. 北京:电子工业出版社,2001.
 [2] 田耘,徐文波. Xilinx FPGA 开发实用教程[M]. 北京:清华大学出版社,2008.