

基于 LabVIEW 的跳频组件测控平台研究

秦 伟,李 昕,张 雨

(中国电子科技集团公司第 26 研究所,重庆 400060)

摘 要:为了满足跳频组件研制过程的测控需求,通过对跳频组件的工作原理和测控需求的分析,提出了基于计算机控制的测控平台的实现方案,研究了测控平台的设计原理、硬件结构和软件设计流程,最后在 LabVIEW 环境下开发出了针对具体跳频类组件应用的测控平台。实验证明,该测控平台的应用提高了组件的调试、测试效率,且缩短了组件的开发周期,具有很好的推广应用价值。

关键词:LabVIEW;测控平台;跳频组件;并口;通用换口总线(GPIB)

中图分类号:TM25;TN015

文献标识码:A

Study on Test and Control Platform for Frequency-hopping Module Based on LabVIEW

QIN Wei, LI Xin, ZHANG Yu

(26th Institute of China Electronics Technology Group Corporation, Chongqing 400060, China)

Abstract: To satisfy test and control need of the frequency-hopping module, the design of a test and control platform for the frequency-hopping module was proposed through analyzing the operating principle of frequency-hopping module and its requirements for the test and control. The design principle of the test and control platform, the hardware structure and software design flow have been studied, and then a test and control platform for the specific frequency-hopping module has been developed based on LabVIEW. The practical applications have proved that the adjustment and test efficiency of the frequency-hopping module have been improved significantly by using the developed test and control platform, thus the development cycle of frequency-hopping module can be shortened greatly. The test and control platform has good application and dissemination values.

Key words: LabVIEW; test and control platform; frequency-hopping module; parallel interface; GPIB

0 引言

跳频组件是调频雷达、跳频收发信机等系统的重要组成部分,随着系统对多频段、实时性和跳频速度要求的不断提高,对跳频组件的相关指标要求也随之提高。陆续出现了各类宽带、低跳频步进、多点跳频类跳频组件。对于这类跳频组件,如仍采用传统人工方式进行测控,已远不能满足跳频组件的测试要求,必将成为这类跳频组件研发过程中的瓶颈。

本文设计的跳频组件测控平台,能通过计算机并口控制^[1]实现对跳频组件的控制,通过选择单点、全扫频、定点扫频,定点跳频等不同的工作方式,实现对跳频组件的跳频时间、频率、杂散、相噪等指标的快速自动测试、记录,从而提高了组件的调试、测试效率。

1 测控平台结构及原理

测控平台分为硬件和软件两部分。图 1 为某型跳频组件并口测控平台原理框图。平台工作时,上位机并口输出控制码送入信号包封处理模块中,信号包封处理模块将控制码处理为要求工作电平的并口报文后,输入到跳频组件中,然后由跳频组件输出对应跳频点在测试终端上进行测试,待测试完成后,测试终端通过总线将测试数据回传上位机并保存。其中测试终端可以是示波器、频谱仪、信号分析仪中的一种或几种。

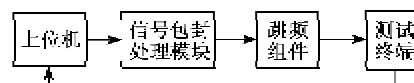


图 1 某型跳频组件并口测控平台原理框图

收稿日期:2012-05-23

作者简介:秦伟(1980-),男,山东沂水人,工程师,工程硕士,主要从事计算机控制、自动化与数字信号处理的研究。

2 跳频组件测控平台结构组成

由图 1 可知,并口测控平台主要分为上位机并口输出控制,通用换口总线(GPIB)、网线数据采集,信号包封处理和跳频组件终端测试 4 部分功能。

2.1 测控平台硬件接口

由测控平台的结构组成可知,并口测控平台硬件接口主要包括上位机并口,GPIB、网线接口两部分。对应硬件接口连结如图 2 所示。

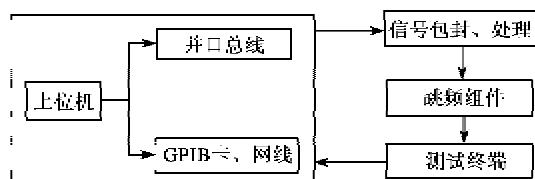


图 2 某型跳频组件测控平台硬件接口示意图

2.1.1 上位机并口

上位机并口输出控制部分主要由上位机和计算机并口总线共同组成。计算机并口最初是为连接打印机而设计,是现今计算机配置的标准接口之一,现在并口在很多领域中得到了广泛应用,成为数据采集的通用接口。IEEE 1284 标准为 PC 与外设之间定义了双向通信协议。通常并口通信分为增强型并行端口(EPP)模式和扩展容量并行端口(ECP)模式^[2],为了便于扩展升级,我们采用 EPP 模式。最常用的 EPP 模式并口的基地址在 PC 机 BIOS 中设为 0x378。在实际应用中,我们通过控制打印机接口来实现。打印机接口由 3 个不完整的 EPP 并口组成。连续的 3 个并口地址分别是 378H、379H、37AH(H 表示十六进制)。其中 378H 是一个 8 线的完整并口,称为数据寄存器,各线用 D1、D2、D3、D4、D5、D6、D7 表示,可用于数据输出;379H 是一个不完整并口,只可使用 5 条线,称为状态寄存器,分别用 S3、S4、S5、S6、S7 表示,用于数据输入。37AH 称为控制寄存器,只有 4 线可用,分别用 C0、C1、C2、C3 表示,也用于数据输出。所以,通过访问 PC 机的一个打印机口,可实现 12 位数据输出和 5 位数据输入,如表 1 所示。

表 1 PC 打印机端口定义

端口号	1	2	3	4	5	6	7	8	9
总线名	C0	D0	D1	D2	D3	D4	D5	D6	D7
端口号	10	11	12	13	14	15	16	17	18~25
总线名	S6	S7	S5	S4	C1	S3	C2	C3	地

上位机并口实现上位机与信号包封、处理模块之间的连接,上位机通过编程,控制并口输出频控信号到信号包封、处理模块,频控信号经信号包封、处理模块处理后,送入跳频组件,最后由跳频组件输出对应频点到测试终端。

2.1.2 GPIB、网线接口

GPIB、网线数据采集部分主要由上位机、GPIB 接口、网线接口等共同构成,GPIB 接口用于实现 GPIB 总线通信方式,它包括 GPIB 总线、USB-GPIB 接口卡,通过搭建 GPIB 通信网络实现计算机与测试仪器间的高速双向链接^[3];网线接口用于实现 TCP/IP 通信方式,它通过 LAN 口,将上位机设置为服务器,测试仪器设置为客户端,搭建 TCP/IP 通信网络实现计算机与测试仪器间的通信。由图 2 可知,GPIB、网线接口实现上位机与测试终端的接口互连,用于实现测试仪器控制和将测试仪器中的数据采集入 PC 机,然后进行后继处理。

2.2 信号包封、处理模块

由于 PC 并口发出的并口控制指令只是高、低电平信号,而在实际运用时,作为整机的组成部分的跳频组件,要满足整机的控制指令格式要求,还必须对 PC 机发送的并口指令进行一定的处理。如某型跳频组件,根据用户提供的控制规范,在实际运用时,整机需采用如图 3 所示的报文方式向跳频组件发出命令。在跳频时,用户需控制开始接受指令时间和开始跳频时间。除了对并行的 8 路跳频信号加上报文头 0X5AH,报文尾 0X0FH 外,还要求信号包封、处理模块产生“指令起始 st”信号、“指令结束 ed”信号,且还要产生于上述信号对应的“指令时钟 CLK”信号。

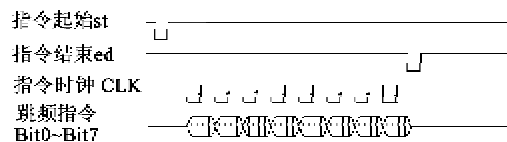


图 3 信号包封、处理模块发出的握手指令时序图

在实际运用时,我们采用一块处理板来实现信号包封、处理,它由 FPGA 处理芯片,电平转换芯片,时钟模块共同组成。时钟模块负责产生 FPGA 的工作时钟;FPGA 处理芯片负责完成信号的包封、转换和产生,另外利用选择的 FPGA 芯片内置 PLL,还可完成时钟转换和同步时钟的产生;电平转换芯片负责将电平转换为需要的电平格式,如

TTL、CMOS 之间电平转换、TTL 与差分 485、差分 442 电平之间转换等。

3 软件设计

3.1 开发环境

软件部分通常采用 VB、Vc、Delphi 等编写,这里,测控平台的软件部分通过 LabVIEW 语言来实现。相较于采用 VB、Vc 开发程序,操作者面对的是繁琐的编程过程;通过 LabVIEW 语言这类图形化的程序语言,编程过程较简单。利用 LabVIEW 的函数库(包括数据采集、GPIB、并、串口控制、数据分析、数据显示及数据存储等^[4]),基本上不写程序代码,通过连结流程图或框图,可轻松编制各类复杂的程序。

3.2 软件功能设计

软件采用结构化的设计方法,依照数据流向,将每个模块分为并口通信模块、信号调理模块、数据采集模块等功能模块,各个模块又向下分为若干功能独立的小模块。在编程时遵循自顶向下、上层模块调用下层模块、同层模块不相互调用的原则设计完成。软件工作主流程如图 4 所示。

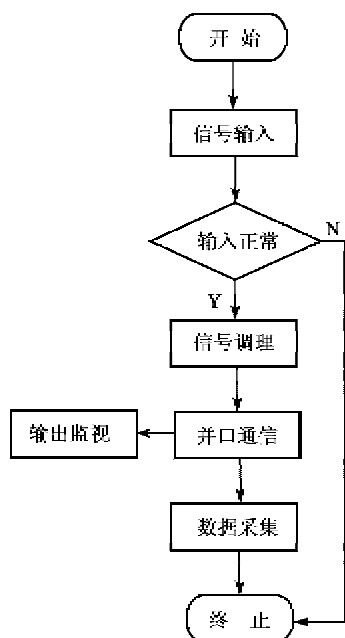


图 4 软件工作主流程图

3.2.1 信号调理模块设计

信号调理模块主要完成频点、频率转换,循环/单值输出选择,定时,用户工作方式切换等功能。其软件流程图如图 5 所示。

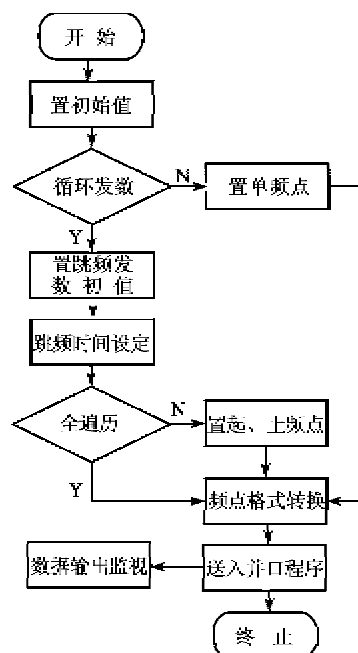


图 5 信号调理模块流程图

3.2.2 并口通信模块设计

并口通信模块用于实现将信号调理模块输入的频控数据转化为满足并口写入要求的数据,然后选择对应的并口访问、并口置数,并将频控信号从上位机端口输出,同时将并口寄存器中的数据读回信号调理模块,用于界面上的并口输出监视。

可见,并口通信模块一共可分为并口置数、并口写入、并口读出 3 个模块。

对并口的读、写操作,主要通过运用 LabVIEW 开发环境中的 I/O 端口读写指令:IN port 函数和 Outport 函数,通过访问上位机并口寄存器来实现^[5]。其软件流程图如图 6 所示。

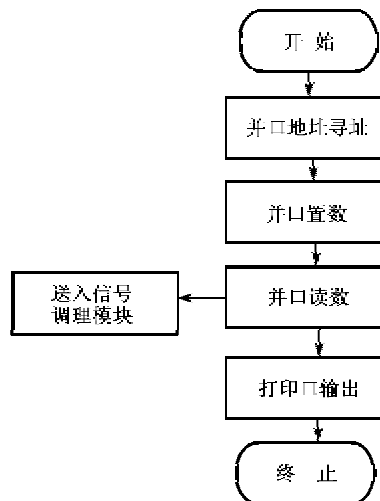


图 6 并口通信模块流程图

3.2.3 数据采集模块设计

数据采集模块的主要任务是将测试终端的测试数据采集入上位机,并分类写入 EXCEL 表格并保存。依照分工不同,数据采集模块可划分为 PC 寻址、数据记录、数据存储等模块。其软件流程图如图 7 所示。

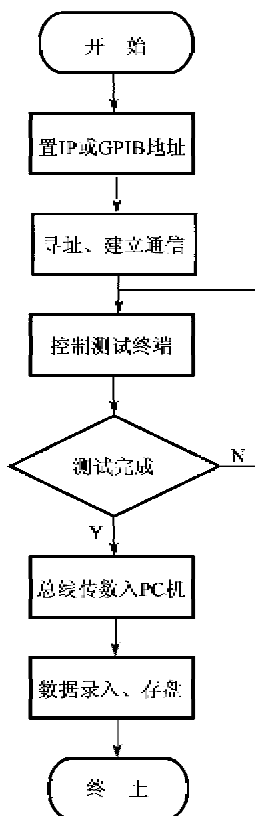


图 7 数据采集模块流程图

4 应用

图 8 为实际运用到频综组件上的并口测控平台软件界面。

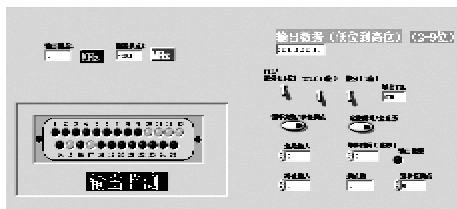


图 8 并口测控平台软件界面

按照实际工作原理,可将该界面分为频点输入部分、定、跳频工作模式选择部分及并口、数据输出监视部分。每一部分功能独立,控制界面具有控制简单、良好人机交互等特点。

图 9 为将测控平台与 Agilent E5052A 信号源分析仪结合^[6],用于测试实际多点间的跳频时间。

由图可知,测控平台工作时,只须短短的几毫秒便可实现多点间的跳频测试,紧接着便可完成测试、记录工作。且在控制跳频时,由于跳频码是由计算机并口发出,不会存在抖动问题,发码过程与用户上位机的发数过程类似,可很好地模拟整机实际应用情况。另外,频率码与相应频率的对应关联已做在软件内,操作时,操作人员只需输入想要测试的频点,便可自动输出对应的频点码,操作简单。

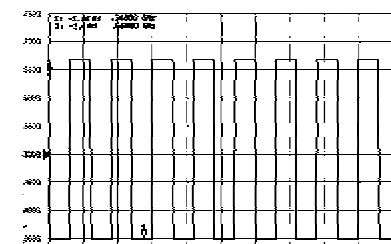


图 9 Agilent E5052A 跳频时间测试图

另外,在针对不同的跳频组件时,只须改动一个频点和频点码的转换模块,便可开发出新的并口测控平台;如要增、删测控平台的功能,只需依照上下级模块的数据流关系,更改相应的功能模块,便可实现新的应用,这类测控平台还具有良好的可移植性。

5 结束语

本文介绍了针对跳频组件对自动化测试的需求,应用 LabVIEW 语言开发出了基于跳频组件的自动化控制平台。利用 LABVIEW 编制测控平台,具有编程方便,操作直观,具有较高的可靠性和实用性。该平台的开发,极大地提高了跳频组件的自动化程度,成本低,易于功能的扩展,适合于其他各种类型的频综类组件的自动化测控应用,具有良好的应用和推广价值。

参考文献:

- [1] 何志斌. 计算机自动测试系统的应用[J]. 工业仪表与自动化装置, 2012(4): 84-85.
- [2] 李震涛. 基于 PC 并口的定时信号发生器的设计实践[J]. 信息化研究, 2009, 35(3): 23-26.
- [3] 张金, 王伯姝, 张力新. 基于 LabVIEW 的 GPIB 总线独立仪器集成测试平台[J]. 仪表技术与传感器, 2010(9): 13-15.
- [4] NI company. LabVIEW measurement manual[M]. USA: NI company, 2002.
- [5] 陈树学, 刘宜. LabVIEW 宝典[M]. 北京: 电子工业出版社, 2011.
- [6] Agilent Technologies. Test-system development guide a comprehensive handbook for test engineers[M]. USA: Agilent Technologies, 2007.