

7.13~7.37 GHz 宽带锁相跳频源的设计与实现

邓茜^{1,2}, 梁小鹏²

(1. 北京邮电大学 信息与通信工程学院, 北京 100000; 2. 江西理工大学 应用科学学院, 江西 赣州 341000)

摘 要:设计了一种采用电荷泵锁相技术的 7.13~7.37 GHz 宽带跳频信号源,采用复杂可编程逻辑器件(CPLD)控制电荷泵锁相环(CPPLL)频综芯片 ADF4108 产生跳频信号,跳频带宽高达 240 MHz,输出功率约 10 dBm,电平波动为 0.7 dB,杂散抑制 <-70 dBc,输出端采用六阶微带低通滤波器进行带外谐波抑制,二次谐波抑制 <-60 dBc,传输速率快,电路模块结构紧凑。实验结果表明,所设计的跳频宽带信号源具有快跳变,低相噪,低杂散,高可靠性及高稳定度等优点。

关键词:宽带;跳频信号;低杂散;微带低通滤波器

中图分类号: TN91

文献标识码: A

Design and Implementation of an 7.13~7.37 GHz Wideband Frequency Hopping Source Base on PLL

DENG Qian^{1,2}, LIANG Xiaopeng²

(1. Beijing University of Posts and Telecommunication, School of information and communication Engineering, Beijing 100000, China;

2. College of Applied Science, Jiangxi University of Science and Technology, Ganzhou 341000, China)

Abstract: In this paper, a 7.13~7.37 GHz wideband frequency hopping source base on PLL theory is introduced. The charge pump phase locking loop(CPPLL) chip ADF4108 which produce frequency hopping signal is controlled by complex programmable logic device(CPLD). The bandwidth of the system is high to 240 MHz, The output signal power is about 10 dBm, and the level fluctuation is 0.7 dB. Spur restraining is less than -70 dBc. The 6th order micro-strip low-pass filters using in the output of the module which with high data speed and small area. And then the two order harmonic suppression is less than -60 dBc. The test data show that the hopping frequency synthesizer has good performance, such as low jumping time, high spur restraining, low phase noise and high stability.

Key words: wideband; frequency hopping signal; low spur; micro-strip low-pass filter(LPF)

0 引言

跳频通信具有抗干扰和抗截获能力,且能做到频谱资源共享。跳频通信的核心器件是跳频器,跳频器的主要技术是频率合成器。高输出频段和高稳定度也是卫星通信等应用中一直追求的指标。

电流型控制电荷泵锁相环(CPPLL)构成的整数 N 频率综合器具有低相噪,输出波纹小,零相差,无限捕获范围,便于集成,调试及性能可靠等优点,但其缺点是转换时间长,难以实现高分辨率。随着分频比 N 的增加,相噪指标不如混频器和分数分频频率合成器。然而,现在很多频综芯片将参考分频比、鉴频鉴相器(PFD)和主分频器及可编程寄存器集成在一块芯片中,减小了体积,降低了设计难度。设计采用的 ADF4108 芯片具有控制电荷泵电流增

益和定时功能,若合理的选取环路带宽,故可调整最优的相噪性能和捕获时间,再加上整数 N 分频 CP-PLL 具有低杂散,高稳定度,小体积等优点。采用整数 N 分频锁相环(PLL)方案也能达到要求苛刻的性能指标,做到很高的频率和较快的频率切换速度,同时很好地保证杂散和相噪性能^[1]。

文中设计了一种 7.13~7.37 GHz 宽带锁相跳频模块,介绍了锁相跳频器的原理、构成及制作过程,并给出了性能指标的预期值、实际测试结果和实物图。

1 设计制作

1.1 7.13~7.37 GHz 锁相跳频源系统基本功能及构成

锁相跳频源的核心模块是频率合成器,系统的

收稿日期:2014-05-12

基金项目:国家自然科学基金资助项目(61164020);赣州市社会科学研究课题基金资助项目(13045,13047);江西理工大学应用科学学院科研基金课题资助项目

作者简介:邓茜(1984-),女,江西吉安人,讲师,博士生,主要从事频率综合器及射频电路的研究。E-mail: dqian108@gmail.com。

跳频带宽由跳频点数和频率间隔决定。 $R_{\text{eff}} = 20 \text{ MHz}$, 本方案采用 CPPLL 跳频方案(见图 1), 经过 4 分频后得到鉴相频率(f_0)为 5 MHz, 当环路锁定时, 输入 PFD 的两路信号相等, 且严格同步。所以输出频率 $f_{\text{out}} = Nf_0 = 7\,130 \sim 7\,370 \text{ MHz}$, 则 $N = \sqrt{N_{\text{max}} N_{\text{min}}} = 1\,450$, 为确保不超出最高反馈输入频率和最小连续分频比, 且不会产生断点锁定现象, ADF4108 的预分频比(P)值只能选 32。

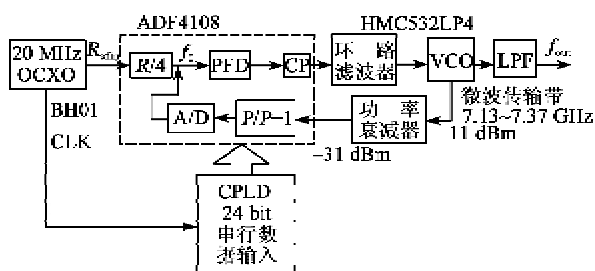


图 1 锁相跳频源原理框图

其中, PLL 采用 ADF4108, 归一化相噪基底为 -219 dBc/Hz , VCO 采用相位噪声为 $-101 \text{ dBc}@100 \text{ kHz}$, HITTITE 公司生产的 HMC532LP4 具有小体积, 低相噪的特点, 其输出频率范围为 $7.1 \sim 7.9 \text{ GHz}$ 的压控振荡器(VCO)芯片。参考晶振采用 BH01 系列的 OCXO($10 \text{ mm} \times 12 \text{ mm} \times 20 \text{ mm}$)快速恒温晶振, 频率温度稳定度达。参考信号与 PLL 输出信号在 PFD 内进行鉴频鉴相, 产生误差信号, 然后经环路滤波送入 VCO 的调谐端完成锁相。信号通过耦合电容(0.5 pF)反馈到 ADF4108 的输入端。由于 VCO(HMC532LP4)输出功率约为 14 dBm , 通过电阻耦合一部分能量反馈到锁相环后, 应剩余 10 dBm 以上, 而频率合成器芯片 ADF4108 要求 VCO 反馈的输入射频(RF_{in})功率: 在 $7.13 \sim 7.37 \text{ GHz}$ 为 -31 dBm , 在 8 GHz 时为 -24 dBm , 所以需要设计一个功率衰减电路^[2]。

1.2 7.13~7.37 GHz 锁相跳频源性能估计

CPPLL 的杂散主要包括鉴相杂散和晶振杂散。杂散增益 $SG(f)$ 可用来描述杂散电平的大小, ADF4108 的鉴相泄漏电流为 1 nA , k_p 为电荷泵电流增益 5 mA , BasePulseSpur 一般为 -16 dBc , 泄漏杂散为

$$\begin{aligned} \text{LeakageSpur} &= \text{BaseleakageSpur} + \\ &20\log(\text{Leakage}/k_p) + SG(f) = \\ &-16 + 20\log(\ln A/5 \text{ mA}) + \\ &SG(f) = -99 + SG(f) \end{aligned} \quad (1)$$

经 ADS 软件仿真得到泄漏杂散图(见图 2)和

相位噪声特性图(见图 3), 在频偏 5 MHz 处杂散为 -122 dBc , 超小型快速恒温晶振 BH01 的杂散为 -75 dBc , 可达 -60 dBc 以下的杂散性能。另外, 在布线、安装时, 再注意电源滤波、数字控制线滤波, 加上金属隔条进行空间隔离, 这样理论上满足系统要求。晶振相噪在 1 kHz 处为 -150 dBc/Hz , 经环路滤波恶化 $20\log(N/R)$, 分频比 $N=1\,450$, 参考分频比 $R=4$, 则可计算出带内频偏 1 kHz 相噪为 -98 dBc/Hz , ADF4108 相噪基底为 -219 dBc/Hz , f_c 为 5 MHz , 计算得带内频偏 10 kHz 相噪约为 -88 dBc/Hz , 在频偏 100 kHz 处, VCO 相位噪声为 $-101 \text{ dBc}@100 \text{ kHz}$, 实际测试中带外相噪不可能那么理想, 参考晶振和 ADF4108 会对带外相噪贡献, 所以应合理选取环路带宽。

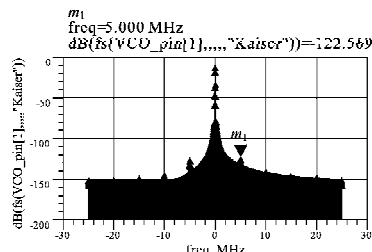


图 2 跳频源的杂散特性

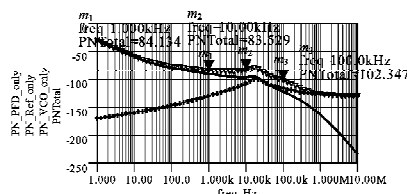


图 3 跳频源的相噪特性

1.3 PLL 环路滤波设计

Loop filter 分为有源和无源两种, 如图 4、5 所示。有源环路滤波器采用运放, 相噪性能比无源 Loop filter 的 PLL 输出差。只有当 VCO 的控制电压超过或接近电荷泵电压 V_{cp} (5 V) 时, 必须用有源滤波器, 同时也为 PLL 提供一定的增益。当电荷泵电流通过 Loop filter 积分后的最大控制电压小于或接近 V_{cp} 时, 为了获得优异的相噪指标, 尽量选用无源滤波器形式。本设计中采用四阶无源环路滤波器如图 4 所示, 其阻抗和开环传输函数^[3]为

$$Z(s) = \frac{1 + sT_2}{sA_0(1 + sT_1)(1 + sT_3)(1 + sT_4)} = \frac{1 + sC_2R_2}{s(A_3S^3 + A_2S^2A_1S + A_0)} \quad (2)$$

$$H_0(s) = k_{VCO}k_dZ(s)/sN \quad (3)$$

$$\Phi = \arctan(\omega_c T_2) - \arctan(\omega_c T_1) -$$

$$\arctan(\omega_c T_3) - \arctan(\omega_c T_4) \quad (4)$$

$$A_0 = \frac{k_d \times k_{vco}}{\omega_c^2 N} \times \sqrt{\frac{1 + \omega_c^2 T_2^2}{(1 + \omega_c^2 T_1^2)(1 + \omega_c^2 T_3^2)(1 + \omega_c^2 T_4^2)}} \quad (5)$$

式中: k_{vco} 为压控灵敏度; k_d 为电荷泵电流增益。

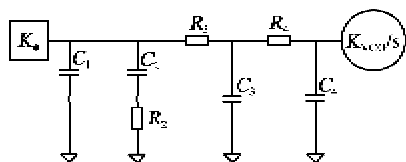


图4 标准无源反馈滤波器

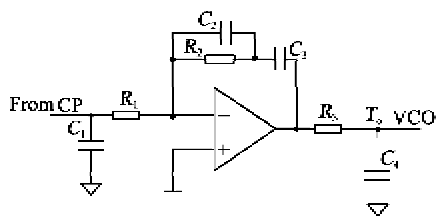


图5 标准有源反馈滤波器

本设计中的 Loop filter 采用 Banerjee D 的 PLL 算法^[1], 该算法准确、实用, 为高阶 CPPLL 设计带来了方便。在合理选取带宽、 f_r 、 f_{out} 、电荷泵电流、压控灵敏度、相位裕度的情况下能方便地计算出环路参数。

1.4 微带滤波器的设计

设计要求二次谐波抑制 -60 dBc, 由于 VCO 输出信号的二次谐波抑制不够, 应在输出端加入六阶低通滤波器, 由于二次谐波频率高于 14 GHz, 因此, 不能采用由电容、电感元件构成的集总参数电路, 而应采用分布参数电路。本方案中采用微带线实现, 图 6 为 7.25 GHz 微带低通滤波器仿真结果。

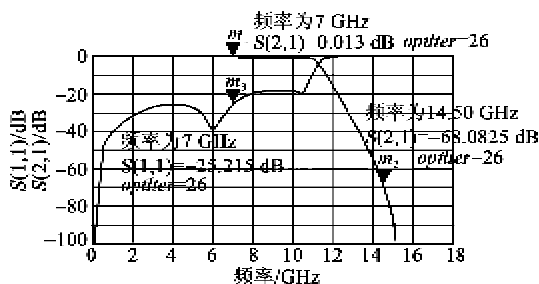


图6 7.25 GHz 微带低通滤波器仿真结果

2 实验结果

根据上述方法研制的 7.13~7.37 GHz 的宽带锁相跳频模块, 其测试结果如表 1 所示。图 7 为在 7.25 GHz 处, 跳频源实测输出功率。

表1 测试数据

频率合成器 (发射)测试数据	频率合成器 (接收)测试数据	
输出功率	9.4 dBm@ 7.13 GHz	9.9 dBm@ 7.13 GHz
	10 dBm@ 7.25 GHz	10.5 dBm@ 7.25 GHz
	10.5 dBm@ 7.37 GHz	9.8 dBm@ 7.37 GHz
锁定时间/ μ s	18	17
电平起伏/dB	1.1	0.7
杂散抑制/dBc	-68	-68
二阶谐波抑制/dBc	-69	-64
三次谐波抑制/dBc	-56	-43
相位噪声	-76 dBc/Hz@ 1 kHz	-79 dBc/Hz@ 1 kHz
	-83 dBc/Hz@ 10 kHz	-84 dBc/Hz@ 10 kHz
	-93 dBc/Hz@ 100 kHz	-94 dBc/Hz@ 100 kHz

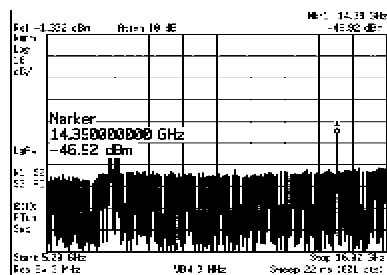


图7 跳频源实测输出功率

由表 1 和图 7 可知, 在输出端口, 锁相跳频源输出的 VCO 信号经微带线滤波后, 用 Agilent 频谱仪测得在 7.225 GHz 处输出功率为 11.46 dBm, 在 14.39 GHz 处 (二次谐波) 测得功率为 -46.92 dBm。该模块的尺寸为 60 mm×40 mm×15 mm, 其中包含了微带电路。图 8 为跳频接收机实物图。

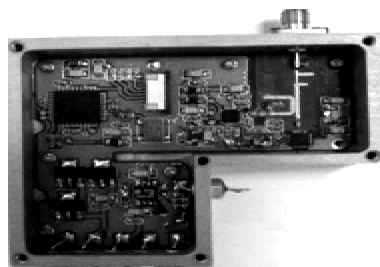


图8 跳频接收机实物图

3 PCB 电路布线

本文设计的 7.13~7.37 GHz 的宽带锁相跳频源有数字电路及模拟电路。在 ADF4108 的数字电源和模拟电源与数字地和模拟地间应加上 2 个 10 pF 和 0.1 μ F 去耦电容, 且去耦电容应尽量靠近数字电源和模拟电源的管脚。Loop filter 电容放置, 靠近电荷泵输出的 2 个电容须直接与电荷泵电

路的地连接。这样可隔离地回路的脉冲电流通路,尽量减小电荷泵中相应的杂散频率。第3个电容(对于三阶滤波器)应直接与VCO的地层连接,以避免控制电压随数字电流浮动。在PCB布线时需考虑数字电路和模拟电路间互相干扰问题,特别是地线上的噪音干扰。通常用一根较短的细线(如1~3 mm)来连接数字地和模拟地。在电磁兼容设计方面,本方案采用将各模块电路放入铝制加表面导电氧化的半封闭屏蔽盒内,限制内部辐射的电磁能量泄漏,防止外来的辐射干扰进入,实现电磁兼容^[5]。

4 存在的问题及解决措施

调试过程中发现,带外相噪难以达到设计指标,其原因是VCO在频偏100 kHz处相噪为-101 dBc@100 kHz,而设计指标要求<-90 dBc@100 kHz,加上参考晶振、ADF4108、Loop filter等对带外相噪的贡献,迫切需改善PLL相噪指标。解决方法是降低VCO芯片HMC532LP4的电源电压,可减小VCO的相位噪声。改变ADF4108 RF_{in}输入端的耦合电容,由原来的100 pF降为0.5 pF,可改善VCO的相噪。减小反馈耦合电容,会减小反馈信号的电压,从而降低相位噪声。

5 结束语

本设计方案介绍了7.13~7.37 GHz的宽带锁相跳频源的设计方案和电路实现。经实际测试,

7.13~7.37 GHz跳频源具有高输出频段,快捷变,低相噪,低杂散,可编程,宽带,高集成度,成本低及小型化等特点,通过改变程序,可以改变跳频点数、跳频步长来满足需求,使用方便灵活。本方案设计的跳频频率综合器全面达到了较高的技术指标,降低了电路的复杂度,用途和使用范围更广泛。

参考文献:

- [1] 张厥盛,郑继禹. 锁相技术[M]. 1版. 西安电子科技大学出版社,1994:1-70.
- [2] 邓茜,梁小鹏. 高性价比小型C波段宽带跳频源的研制[J]. 压电与声光,2011,33(3):432-435.
DENG Qian, LIANG Xiaopeng. Design and fabrication of C-band wide-band hopping frequency synthesizer with high performance and low cost[J]. Piezoelectrics & Acousto-optics, 2011, 33(3):432-435.
- [3] 邓茜,刘江凡,唐涛,等. 基于可控电流增益和稳定性分析五阶CPPLL的设计[J]. 压电与声光,2013,35(3):458-462.
DENG Qian, LIU Jiangfan, TANG Tao, et al. Design of 5 order charge pump phase locked loop(CPPLL) based on controllable current gain and stability fact[J]. Piezoelectrics & Acousto-optics, 2013, 35(3):458-462.
- [4] BANERJEE D. PLL performance, simulation and design[M]. 4th Edition. USA: National Semiconductor, 2006:189-198.
- [5] 左杜军,唐广,齐中斌. 10 MHz~1 GHz小步进跳频信号源方案设计[J]. 微波学报,2010,26(8):325-328.

(上接第83页)

3 结束语

实验采用NH₃-NH₄HCO₃共沉淀法获得具有优良烧结活性的GGG纳米粉体。对制备过程中工艺条件(滴定方式、PH值、煅烧温度等)对相转变和微结构演化进行了分析。结果表明,组分配比在 $r(\text{Gd}_2\text{O}_3):r(\text{Ga}_2\text{O}_3)=3:5$ (摩尔比)的基础上Ga₂O₃的质量分数过量2%,正滴方式,严格控制沉淀反应的pH=7.5~8.0,最佳烧结温度为750~800℃,保温4 h下合成的粉体形状规则似球形,粒径<100 nm,是用于制备GGG透明陶瓷的较理想的前驱粉体。

参考文献:

- [1] 王桂素,李霞. 钆镓石榴石透明陶瓷纳米粉体的制备[J]. 压电与声光,2010,32(3):457-460.
WANG Guishu, LI Xia. Preparation of Gd₃Ga₅O₁₂ (GGG) transparent ceramics nana-sized powder[J]. Piezoelectrics & Acousto-optics, 2010, 32(3):457-460.
- [2] LUOH, JIANG H, JIANG J. Synthesis of cerium-

doped Gd₃(Al, Ga)₅O₁₂ powder for ceramic scintillators with ultrasonic-assisted chemical coprecipitation method[J]. The American Ceramic Society, 2013, 96(10):3038-3041.

- [3] DONG Y, SUN J, YU W, et al. Preparation and properties of Nd, Yb: GGG polycrystalline nanopowders[J]. Journal of Advanced Ceramics, 2012, 1(4):296-300.
- [4] 张希艳,田雪雁,刘全生. 制备Nd³⁺: Gd₃Ga₅O₁₂透明陶瓷的纳米粉体[J]. 中国激光, 2006, 33(3):376-379.
- [5] PANG M, LIN J. Growth and optical properties of nanocrystalline Gd₃Ga₅O₁₂: Ln(Ln=Eu³⁺, Tb³⁺, and Er³⁺) powders and thin films via pechini Sol-Gel process[J]. Journal of Crystal Growth, 2005, 284:262-269.
- [6] HUANG D, ZHANG X, LIU J, et al. Nanostructured Yb:GGG polycrystalline powders via gel combustion method[J]. Journal of the Chinese Rare Earth Society, 2009, 37(3):402-405.
- [7] ZHAO G, LI T, HE X, et al. Preparation of gadolinium gallium garnet polycrystalline material by coprecipitation method[J]. Materials Letters, 2002, 56(6):1098-1102.