

低相位噪声微波振荡器设计

郭涛涛¹, 年夫顺², 杨宜生², 王尊峰²

(1. 中北大学 仪器与电子学院, 山西 太原 030051; 2. 中国电子科技集团公司第四十一研究所, 山东 青岛 266555)

摘要:针对 Ka 和 Ku 波段上、下变频装置对微波振荡器低相位噪声和小型化的要求, 该文采用单环锁相式频率合成技术完成了微波振荡器的设计, 并对锁相环的相位噪声进行了理论计算。分析了鉴相频率、鉴相器灵敏度和环路带宽对锁相环输出相位噪声的影响, 根据分析结果对微波振荡器电路参数合理选择, 同时兼顾了低相位噪声与小型化的设计要求。测试结果表明, 振荡器的相位噪声指标与理论计算一致, 各项指标均达到要求, 可满足实际工程应用。

关键词:微波振荡器; 低相噪; 锁相环

中图分类号: TN65

文献标识码: A

Design of Low Phase Noise Microwave Oscillator

GUO Taotao¹, NIAN Fushun², YANG Yisheng², WANG Zunfeng²

(1. School of Instrument and Electronics, North University of China, Taiyuan 030051, China;

2. The 41st Institute of China Electronic and Technology Group Corporation, Qingdao 266555, China)

Abstract: Aiming at the miniaturization and low phase noise requirements of microwave oscillator to the up and down frequency conversion devices operating at Ka and Ku band, using the single phase-locked loop (PLL) frequency synthesizer technology, the microwave oscillator is designed and the PLL phase noise is calculated. The effect of the phase detector frequency, the phase detector sensitivity and the loop bandwidth on the output phase noise of the phase-locked loop are analyzed. According to the analysis results, the microwave oscillator circuit parameters have been reasonably chosen and both low phase noise and small size have been taken into account. The test results show that the calculation and measurement of phase noise indexes agreed well and can meet the practical engineering application.

Key words: microwave oscillator; phase-locked loop; low phase noise

0 引言

微波振荡器是微波信号发生器的核心部件, 作为本地振荡器, 也是矢量网络分析仪、频谱分析仪和测试接收机的核心部件, 对仪器整机性能指标有很大影响。微波毫米波测试仪器和电子装备对低相位噪声和高频谱纯度的微波振荡器均有很高的要求。微波介质振荡器具有低相位噪声和高稳定度的优点, 但频率调谐范围小, 只能作点频振荡器使用^[1]。采用钇铁石榴石(YIG)小球作为核心器件的微波振荡器调谐范围大, 相位噪声和频谱纯度也较高, 但其体积、质量、功耗和成本都较高。采用压控振荡器(VCO)作为核心部件的微波振荡器可克服 YIG 振

荡器的缺点, 其体积、质量、功耗都较小, 成本较低, 但其线性度相对较差^[2]。基于锁相环路的频率合成器可有效地提高微波振荡器的相位噪声, 尤其是多环锁相振荡器的相位噪声较低, 但其电路较复杂, 体积和质量较大, 成本也较高, 不是所有应用场合都适合^[3]。本文研制的单环锁相振荡器, 较好地解决了低相位噪声与小型化设计的矛盾问题, 较好地满足了微波上、下变频装置对低相位噪声本地振荡器的需要。

1 设计方案

振荡器是用来产生信号的频率源, 其设计主要以频率合成技术为主, 将模拟技术和数字技术相结

收稿日期: 2014-10-28

基金项目: 电子测试技术国家重点实验室基金(9140C120101140C12055)

作者简介: 郭涛涛(1987-), 男, 山西吕梁人, 硕士生, 主要从事射频微波电路设计、频率合成技术及材料电磁特性测试技术的研究。E-mail: gttxuyulian@sina.com。年夫顺, 男, 研究员, 总工程师, 主要从事微波毫米波测试技术、微波毫米波电路设计与制造技术、天线与雷达散射截面测试技术、电磁材料测试技术、太赫兹测试技术的研究与产品开发研制等工作, 已取得多项研制成果。E-mail: nfwxmnk825@163.com。

合,通过锁相环(PLL)、直接数字频率合成器(DDS)、混频、倍频等技术的合理组合,使振荡器的相位噪声、杂散指标和输出频率范围等技术性能指标满足各种应用场合。针对上、下变频装置对低相位噪声本地振荡器的需要,本文设计的微波振荡器实现了输出信号频率可切换功能,具有低相位噪声和小型化等特性,方案如图 1 所示。

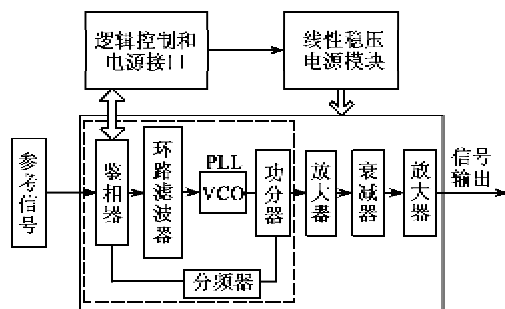


图 1 微波振荡器原理框图

微波振荡器由线性稳压电源、逻辑控制电路、频率合成器和功率调整电路等部分组成。首先,采用单环锁相式频率合成技术设计频率合成器。单环锁相电路由鉴相器、分频器、环路滤波器、压控振荡器和功分器等部分组成,它具有相位噪声低,体积小,控制简单和调试容易等优点,可同时兼顾低相位噪声和小型化的设计要求。在锁相环工作状态下,鉴相器通过比较参考信号和反馈信号(压控振荡器分频后反馈回的信号)的相位,并将其相位差转换成电流信号,该电流经环路滤波器滤波后形成压控振荡器的控制电压,压控振荡器的振荡频率随输入控制电压的变化而改变。最后,通过压控振荡器信号输出通路中低相噪放大器和功率衰减器来实现功率的调整。此外,各模块的电源选取具有体积小和低噪声等特性的线性稳压电源芯片。

2 相位噪声的计算

锁相环路无论工作在何种应用场合,都不可避免地要受噪声的作用。噪声的来源主要有两类,即

1) 与信号一起进入环路的输入噪声,如参考信号的噪声。

2) 环路部件产生的内部噪声,如 R 分频器、鉴相器、环路滤波器、压控振荡器和 N 分频器等产生的噪声。其中分频器产生的噪声很小,可忽略。为得到微波振荡器电路设计最佳参数的选择,本文对微波振荡器的相位噪声进行了计算,并分析了鉴相频率、鉴相器灵敏度、环路带宽等对相位噪声的影响。噪声干扰的环路相位模型如图 2 所示。图中, ϕ_{ref} 为参考信号的噪声, ϕ_{dn} 为 R 分频器的噪声, ϕ_{pd} 为鉴相器的噪声, ϕ_{lpf} 为环路滤波器的噪声, ϕ_{vco} 为

频器的噪声。

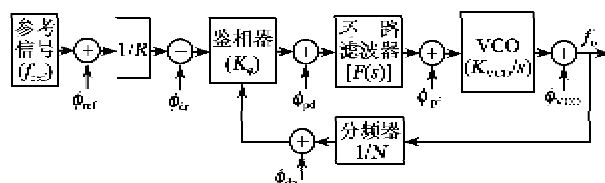


图 2 各个噪声源对锁相环相位噪声贡献示意图

锁相环的开环传递函数

$$H_o(s) = \frac{K_\phi \cdot K_{vco} \cdot F(s)}{s} \quad (1)$$

式中: $s = 2\pi \cdot j \cdot f$; $F(s)$ 为环路滤波器的传递函数; K_ϕ 为鉴相器的灵敏度; K_{vco} 为压控振荡器的增益系数。锁相环的闭环传递函数

$$H(s) = \frac{H_o(s)}{1 + H_o(s)/N} \quad (2)$$

锁相环误差传递函数

$$H_e(s) = \frac{1}{1 + H_o(s)/N} \quad (3)$$

但锁相环中各部分噪声源在闭环状态下的传递函数不同。参考信号噪声源的传递函数为 $H(s)/R$, 鉴相器噪声源的传递函数为 $H(s)/K_\phi$, K_ϕ 为闭环增益, 环路滤波器和 VCO 的对应噪声源的传递函数为 $H_e(s)$ 。

参考信号在闭环响应下的相位噪声为

$$PN_{ref}(f) = PN_{ref}^o(f) + 20 \log[H(s)/R] \quad (4)$$

式中 $PN_{ref}^o(f)$ 为参考信号的相位噪声指标。

$$PN_{pd}(f) = 10 \log(10^{PN_{floor}(f)/10} + 10^{PN_{flicker}(f)/10}) + 20 \log[H(s)/K_\phi] \quad (5)$$

$$PN_{floor}(f) = FloorFOM + 20 \log(f_o/f_{pd}) + 10 \log f_{pd} \quad (6)$$

式中: $FloorFOM$ 为鉴相芯片的噪声基底; f_o 为锁相环的输出信号频率; f_{pd} 为鉴相频率。

$$PN_{flicker}(f) = FlickerFOM + 20 \log f_{vco} - 10 \log f \quad (7)$$

式中 $FlickerFOM$ 为鉴相芯片的闪烁噪声基底。

环路滤波器噪声主要来自电阻^[4], 电阻产生的电压噪声

$$VN_R(R) = \sqrt{4kTR(\text{Hz})} \quad (8)$$

式中: k 为波尔兹曼常数; T 为绝对温度。在闭环状态下, 环路滤波中电阻 R_2 、 R_3 和 R_4 的电压噪声形成的相位噪声可根据文献[5]中的计算方法分别算出 $PN_{R_2}(f)$ 、 $PN_{R_3}(f)$ 、 $PN_{R_4}(f)$ 。

VCO 在闭环响应下的相位噪声

$$PN_{vco}(f) = PN_{vco}^o(f) + 20 \log H_e(s) \quad (9)$$

式中 $PN_{vco}^o(f)$ 为 VCO 开环状态下的相位噪声指

标。

在认为各种噪声源是统计独立的,噪声干扰的强度都较弱,在不超出环路线性作用区域的情况下,可使用叠加原理,分别求出每个噪声源对环路的响应,则闭环状态下总的相位噪声为

$$PN_{P.L.} = 10 \log | 10^{PN_{ref}(f)/10} + 10^{PN_{pd}(f)/10} + 10^{PN_{K_1}(f)/10} + 10^{PN_{K_2}(f)/10} + 10^{PN_{R_3}(f)/10} + 10^{PN_{VCO}(f)/10} | \quad (10)$$

基于上述锁相环输出的相位噪声的计算方法,本文对微波振荡器电路输出的相位噪声进行了计算,同时分析了不同鉴相频率、鉴相器灵敏度、环路带宽对相位噪声的影响,电路的设计和计算分析结果如下所述,即

为了实现小型化的要求,微波振荡器电路设计主要采用集成芯片,线性稳压电源选取LT1763 CS8-5 和 HMC860LP3E,集成锁相芯片选取HMC704-LF,其包括鉴相器、精密电荷泵、参考R分频器、可编程N分频器、Delta-sigma调制器及缓冲放大电路等,最高工作频率可达8 GHz,具有整数模式和小数模式。VCO选取V940ME24-LF,其工作频率为5 500~5 800 MHz。在射频通路中选择体积较小的集成功率衰减器和低噪声集成放大器HMC392LC4。环路滤波器的设计如图3所示。

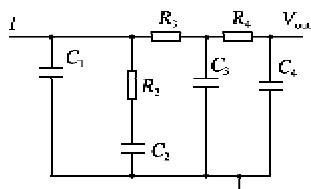


图3 环路滤波器

环路滤波器的传递函数为

$$F(s) = \frac{1 + sC_2R_2}{s(A_3s^3 + A_2s^2 + A_1s + A_0)} \quad (11)$$

其中

$$A_0 = C_1 + C_2 + C_3 + C_4 \quad (12)$$

$$A_1 = C_2R_2(C_1 + C_3 + C_4) + R_2(C_1 + C_2) \cdot (C_3 + C_4) + C_4R_4(C_1 + C_2 + C_3) \quad (13)$$

$$A_2 = C_1C_2R_2R_3(C_3 + C_4) + C_4R_4(C_2C_3R_3 + C_1C_3R_3 + C_1C_2R_2 + C_2C_3R_3) \quad (14)$$

$$A_3 = C_1C_2C_3C_4R_2R_3R_4 \quad (15)$$

环路滤波器的参数根据文献[5]中的计算方法可得环路滤波器的初值为: $R_2 = 2.2 \text{ k}\Omega$, $R_3 = R_4 = 1 \text{ k}\Omega$; $C_1 = 2.2 \text{ nF}$, $C_2 = 1800 \text{ pF}$, $C_3 = 1 \text{ nF}$ 。

参考信号是由上、下变频器整机提供,频率为100 MHz,相位噪声指标如表1所示。

表1 参考信号相位噪声指标

频偏/kHz	0.1	1.0	10.0	100.0
相噪/(dBc/Hz)	-119	-140	-150	-155

鉴相器的噪声基底为-233 dBc/Hz,闪烁噪声基底为-266 dBc/Hz,鉴相器的灵敏度为1.5 mA/2 π ,鉴相频率为50 MHz,VCO的增益系数为30 MHz/V,VCO在开环状态下的相位噪声指标可从芯片厂商的数据手册获得。将上述参数代入式(4)~(10),并利用MATLAB编程计算可得锁相环在闭环状态下的输出频率为5.6 GHz时,总的相位噪声和各部分相位噪声,如图4所示。由图可知,锁相环在闭环状态下,近端的相位噪声主要由参考信号决定,远端的相位噪声主要由VCO决定。

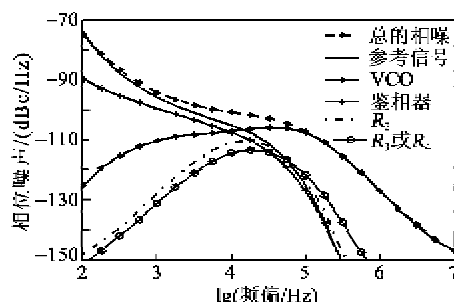


图4 锁相环的总的相位噪声和各部分相位噪声

锁相环电路中,在锁相芯片和VCO等选定的条件下,为了得到不同鉴相频率对相位噪声的影响,分别计算了鉴相频率在5 MHz、10 MHz、50 MHz时锁相环的相位噪声,如图5所示。由图可知,鉴相频率主要影响锁相环中间端的相位噪声,鉴相频率越高,中间端相位噪声指标越好,而对近端的相位噪声和远端的相位噪声没有影响。

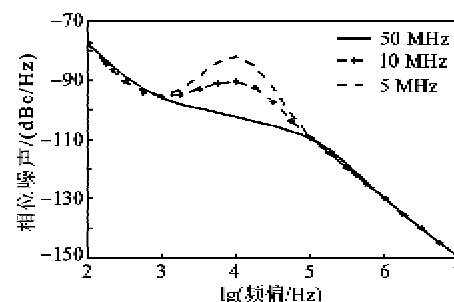


图5 在不同鉴相频率下,锁相环总的相位噪声比较

为得到不同鉴相灵敏度对锁相环相位噪声的影响,分别计算了鉴相频率在1.5 mA/2 π 、2 mA/2 π 、2.5 mA/2 π 时锁相环输出的相位噪声,如图6所示。由图可知,不同的鉴相灵敏度,锁相环在闭环状态下输出的相位噪声是相同的,则可认为鉴相器的灵敏度不影响锁相环输出的相位噪声的大小。

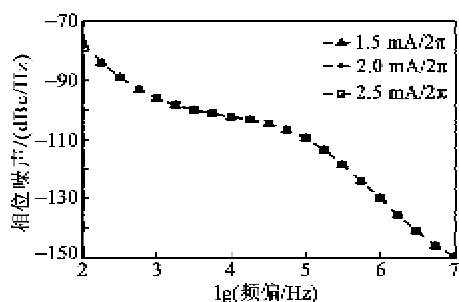


图6 在不同鉴相器的灵敏度下,锁相环总的相位噪声比较

图7为在不同环路带宽下,锁相环总的相位噪声比较。由图可知,环路带宽为10 kHz时,锁相环的远端相位噪声抑制较好;带宽为100 kHz时,环路滤波器对近端的相位噪声抑制较好,而环路带宽为50 kHz时,环路滤波器在各个频偏处对相位噪声抑制都较好。综上所述,锁相环电路中设置鉴相频率为50 MHz,环路带宽约为50 kHz。

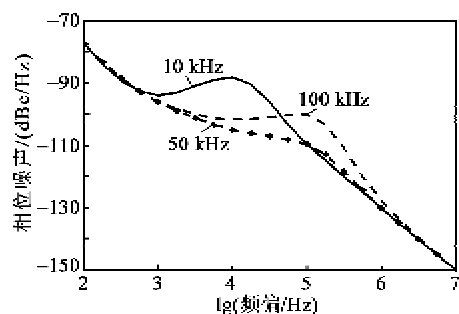


图7 在不同环路带宽下,锁相环总的相位噪声比较

3 电路设计与实测结果

微波振荡器电路印制板设计为4层,顶层采用 Rogers5880 板材,介电常数 2.2,其他3层采用 FR-4 板材,介电常数为 4.6。顶层主要是信号层,通过介电常数和顶层与第二层(地层)之间的厚度来实现微带线 50 Ω 阻抗匹配。整个电路中既有射频模拟电路又有数字电路,为了避免各部分间的噪声与干扰,采取多腔体结构。实物体积为 80 mm $\times$ 60 mm $\times$ 20 mm,实物图如图8所示。

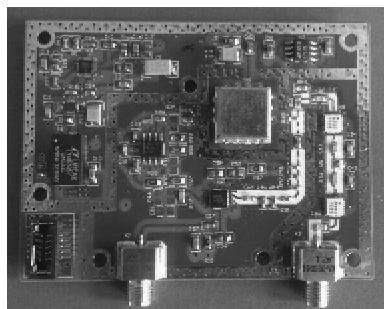


图8 微波振荡器的实物图

在整体电路加工完成后,首先对各路电源进行调试,利用 FPGA 对锁相环芯片 HMC704-LP 进行 HMC 模式配置。在指标调试后,采用 AV4051 信号源分析仪对该微波振荡器的相位噪声、杂散进行测试,测试频率为 5.6 GHz,测试结果如图9~11所示。显然,在环路带宽约为 50 kHz 时,锁相环的相位噪声指标为最优。

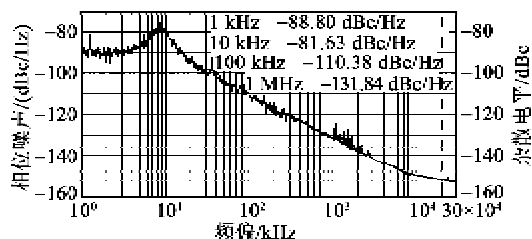


图9 环路带宽为10 kHz时的测试结果

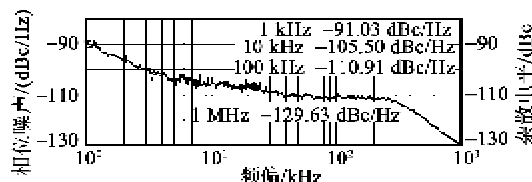


图10 环路带宽为50 kHz时的测试结果

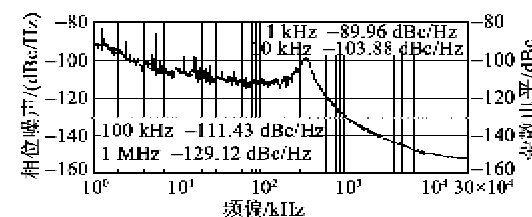


图11 环路带宽为100 kHz时的测试结果

4 结束语

为了满足低相噪和小型化的设计要求,设计了一款性能优良的单环锁相振荡器。锁相环输出的相位噪声进行了理论计算,分析了影响锁相环相位噪声的因素。计算和分析结果表明,提高鉴相频率可改善锁相环带内的相位噪声指标;选择合适的环路带宽也会提高相位噪声指标;但鉴相器的灵敏度不影响锁相环的相位噪声。经过测试,相位噪声的指标与理论计算的结果基本吻合,且达到整机要求。最终设计的微波振荡器成功应用于 Ka 和 Ku 波段上下变频装置,其工作频率为 5.5~5.7 GHz,相位噪声为 -105.5 dBc/Hz @10 kHz, -110.9 dBc/Hz @100 kHz,杂散优于 -70 dBc 。

参考文献:

- [1] 喻涛. X 波段介质振荡锁相频率源研制[D]. 成都:电子科技大学,2008.

(下转第186页)