

CeO₂ 掺杂 TiO₂ 基压敏陶瓷的性能研究

樊少忠¹, 钟黎声^{1,2}, 陈哲¹, 李亚平¹

(1. 西安建筑科技大学 机电工程学院, 陕西 西安 710055; 2. 西北工业大学 材料学院, 陕西 西安 710068)

摘要: 该文在 TiO₂ 压敏陶瓷中掺杂 CeO₂, 研究了烧结温度和 CeO₂ 掺杂量对 TiO₂ 基压敏陶瓷的电学性能的影响。结果表明, 烧结温度为 1 400 °C、CeO₂ 掺杂摩尔分数为 1.0% 时, TiO₂ 基压敏陶瓷表现出较好的综合电学性能; 压敏电压为 7.7 V/mm, 非线性系数为 3.8, 漏电流为 0.1 A, 且具有优的介电常数和介电损耗。

关键词: 压敏陶瓷; 烧结温度; CeO₂ 掺杂; 压敏性能; 介电性能

中图分类号: TM282 **文献标识码:** A

Performance Study of CeO₂ Doped TiO₂-based Varistor Ceramics

FAN Shaozhong¹, ZHONG Lisheng^{1,2}, CHEN Zhe¹, LI Yaping¹

(1. School of Electrical and Mechanical, Xi'an University of Architecture and Technology, Xi'an 710055, China;

2. School of Materials Science and Engineering, Northwestern Polytechnical University, Xi'an 710068, China)

Abstract: The effects of the sintering temperature and doping amount of TiO₂ on the electrical performance of TiO₂-based varistor ceramics have been investigated in this paper. The results show that the prepared TiO₂-based varistor ceramics have good comprehensive electrical performance at sintering temperature of 1 400 °C and 1.0% mol of CeO₂ doping, its varistor voltage is 7.7 V/mm, nonlinear coefficient is 3.8, the leakage current is 0.1 A, and also has excellent dielectric constant and dielectric loss.

Key words: varistor ceramic; sintering temperature; CeO₂ doped; sensitive properties; dielectric properties

0 引言

压敏陶瓷是指在特定电压范围内具有非线性伏安(V-I)特性, 且电阻值随电压增加而急剧减小的一种半导体陶瓷材料^[1]。根据其所应用的电压范围, 可分为高压、中压和低压压敏电阻器, 同时, 低压压敏电阻器又可分为压敏电压为 4.7~22 V 的低压压敏电阻器和 22~68 V 的低压、大通流容量压敏电阻器^[2]。对于 TiO₂ 压敏电阻器件, 需获得较低的压敏电压 $V_{1\text{mA}}$ 、较高的非线性系数 α 和介电常数 ϵ_r , 且生产工艺简单, 成本低, 易制得几伏到几十伏的低压压敏元件, 这样可有利于实现元器件的小型化^[3]。同时, 随着手提式电子器件的广泛使用, 尤其是手机、手提电脑、个人数字助理(PDA)、数字相机及医疗仪器等, 对其电路系统的速度要求更高, 工作电压要求更低。这一切都刺激低压压敏电阻器技术的进步, 使 TiO₂ 压敏电阻器具有广泛的应用前景^[3]。Tan 等^[4]研究了 Nb 和 Ba 共掺杂 TiO₂ 基陶瓷, 测

得 $V_{1\text{mA}} \approx 30$ V/mm, α 为 3~4。Santhosh 等^[5]制备 Nb 和 Sr 共掺杂 TiO₂ 基陶瓷, $V_{1\text{mA}} \approx 50$ V/mm, $\alpha = 7 \sim 8$ 。Pennewiss 等^[6]研究了氧化条件下掺杂少量 Al 的 TiO₂ 陶瓷电学性能, 所获得 $\alpha \approx 7$, 且主要来自于表面氧化层。方湘怡等^[3]研究的以 MnO₂ 为受主掺杂的 TiO₂ 压敏陶瓷, 其 $\alpha = 3 \sim 4$ 。研究表明, 虽经多种掺杂或改性, 但 TiO₂ 压敏陶瓷的电学性能与 ZnO, SrTiO₂ 等比较仍相对较低。所以本文通过在 TiO₂ 压敏陶瓷制备过程中引入 CeO₂ 掺杂和使用不同制备工艺, 研究了烧结温度和掺杂量的变化对压敏电压 $V_{1\text{mA}}$ 、 α 、漏电流 I_L 、 ϵ_r 和介电损耗 $\tan \delta$ 的影响。

1 实验材料与样品制备

CeO₂ 掺杂 TiO₂ 基压敏陶瓷通过配料、混料、造粒、成型、排胶、烧结及后处理等步骤制备。4 组不同配料方案如表 1 所示。根据配料方案将粉料按照质量比 $m(\text{粉料}) : m(\text{去离子水}) : m(\text{玛瑙球}) =$

收稿日期: 2014-07-23

基金项目: 国家高技术研究发展计划("八六三"计划)基金资助项目(2013AA031803)

作者简介: 樊少忠(1988-), 男, 陕西宝鸡人, 硕士, 主要从事无机非金属材料及金属基复合材料的研究。E-mail: ilyfsz@163.com。通信作者: 钟黎声(1984-), 男, 陕西榆林人, 博士后, 主要从事无机非金属材料研究。E-mail: zhonglisheng@nwpu.edu.cn。

2:3:2 放入尼龙球磨罐中,然后将球磨罐置于 XQM-0.4L 行星式球磨机中以 500 r/min 的转速球磨 10 h,使原料均匀混合。混料结束后在粉体中加入粘结剂(质量分数为 5% 的 PVA 溶液)进行造粒。然后在万能材料试验机上以 250 MPa 的压力保压 1 min 制成 $\varnothing 15 \text{ mm} \times 3 \text{ mm}$ 的圆片。接着将温度升高到 600 °C,并保温 2 h 进行排胶。由于良好的烧结工艺有利于得到大小合适的晶粒和适当的晶界势垒^[7],从而有利于材料性能的提高。所以将排胶后的样品分别置于烧结炉中进行烧结。烧结完成后,需对样品表面进行打磨处理并测量密度、质量、厚度、直径和涂覆电极等后续处理。为降低接触电阻,保证电学性能测量的准确,在烘干后的样品表面涂覆 Ag 电极,并在 610 °C 保温 20 min。然后用压敏电阻直流参数仪测 $V_{1 \text{ mA}}$ 、 α 、 I_L ,最后用自动元件分析仪测量样品的 ϵ_r 和 $\tan \delta$ ^[8]。

表 1 添加粉料的摩尔分数

配料	第一组	第二组	第三组	第四组
$x(\text{TiO}_2)/\%$	99.30	98.9	98.4	97.9
$x(\text{SiO}_2)/\%$	0.3	0.3	0.3	0.3
$x(\text{Bi}_2\text{O}_3)/\%$	0.3	0.3	0.3	0.3
$x(\text{CeO}_2)/\%$	0.1	0.5	1.0	1.5

2 实验结果及讨论

2.1 CeO₂ 掺杂 TiO₂ 基压敏陶瓷的压敏性能

2.1.1 压敏电压 $V_{1 \text{ mA}}$

图 1 为 $V_{1 \text{ mA}}$ 随烧结温度 T 的变化关系曲线。由图可知,随着 T 的升高, $V_{1 \text{ mA}}$ 先增大后减小趋势,在 $T > 1400 \text{ °C}$ 时,掺杂量为 1.0% 和 1.5% 的压敏陶瓷的 $V_{1 \text{ mA}}$ 呈现出再次升高的趋势。 T 直接影响 TiO₂ 压敏陶瓷的半导化、致密化及添加物在主成分中的扩散过程,是整个工艺过程中最关键的一个环节^[9]。适当的 T 可使晶粒生长充分、完善晶界的形成,从而获得较好的电学性能; T 过高会导致晶粒过分长大,有时甚至出现晶粒异常长大的现象; T 过低不利于晶粒生长,电学性能较差。

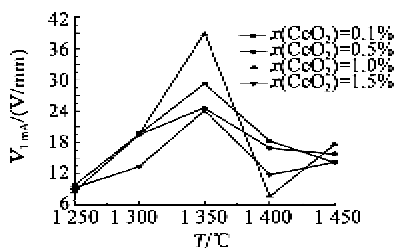


图 1 $V_{1 \text{ mA}}$ 随 T 的变化关系曲线

当 CeO_2 掺杂量较少时,与作为烧结助剂的 SiO_2 和扩散出的 Ti 在晶界处形成一种三元低熔点的硅钛酸铈化合物($\text{Ce}_2\text{Ti}_2\text{Si}_2\text{O}_{11}$),在按其化学计量比配方合成的实验中发现这种第二相在 1 250 °C 以下已熔化。所以随着 CeO_2 掺杂量的不断增加,这种第二相也不断增加,其液相能润湿胚体颗粒并填充颗粒间孔隙,一方面提高了样品的致密度,另一方面形成一层很薄的晶界绝缘层,其特性对降低 $V_{1 \text{ mA}}$ 是有利的。在掺杂量增加到 1.0% 时, CeO_2 将此时存在于晶界上的 SiO_2 消耗完全, $V_{1 \text{ mA}}$ 达最小值 (7.7 V/mm) (1 400 °C)。继续增加 CeO_2 的掺杂量,过量的 Ce 不能形成 $\text{Ce}_2\text{Ti}_2\text{Si}_2\text{O}_{11}$ 。由于 Ce 存在 +3 价和 +4 价, Ce^{4+} 可从晶粒中得到 1 个电子而变成 Ce^{3+} , $\text{Ce}^{4+} + e^- \rightarrow \text{Ce}^{3+}$,因为过量的 Ce^{4+} 形成受主而束缚电子,在晶粒表面由表及里地形成吞噬电子的耗尽层,提高了晶界势垒,所以提高了 $V_{1 \text{ mA}}$ 。

2.1.2 非线性系数 α

图 2 为 α 随 T 的变化关系曲线。由图可知,随着 T 的升高, α 逐渐降低。当 $T > 1400 \text{ °C}$ 时, α 的降低趋势趋于平缓,且

$$\alpha = (\gamma/E)\Phi^{3/2} \quad (1)$$

式中: γ 为常数; E 为外加电场强度; Φ 为晶界势垒高度,且^[10]

$$\Phi = q^2 N_s^2 / (2\epsilon\epsilon_0 N_d) \quad (2)$$

式中: N_s 为晶界受主态密度; ϵ 为表观介电常数; ϵ_0 为 TiO_2 本征介电常数; N_d 为晶粒有效施主浓度。

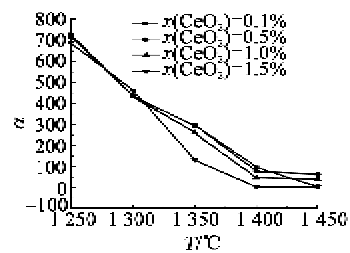


图 2 α 随 T 的变化关系曲线

由式(1)、(2)可知,由于 T 升高时, Ti^{4+} 溶度增加,使 N_d 增加, Φ 会相应降低, α 也会降低。同时,当温度过高时,个别晶粒的畸形长大破坏耗尽层,使耗尽层宽度变窄,电阻率下降,导致 α 下降^[10]。 CeO_2 掺杂量的变化对 α 的影响更复杂。因为压敏陶瓷的非线性与晶界势垒的高度、晶界层的厚度、晶界附近的受主态浓度等因素有关, α 是这些因素的综合函数。

2.1.3 漏电流 I_L

图 3 为 T 与 I_L 的关系曲线。由图可知,随着 T 的升高, I_L 先快速降低后趋于平缓。这是因为当 T 升高时,势垒高度和宽度增加,使电子的迁移更难,从而使 I_L 降低;同时,由图还可看出, $T > 1\ 300\ ^\circ\text{C}$ 时制备样品的 I_L 都较小,体现了 TiO₂ 压敏电阻 I_L 较小的优点。

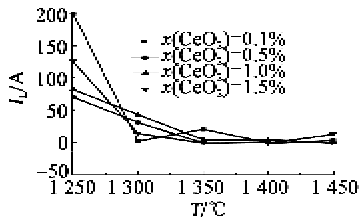


图 3 T 与 I_L 的关系曲线

2.2 CeO₂ 掺杂 TiO₂ 基压敏陶瓷的介电性能

2.2.1 相对介电常数 ϵ_r

图 4 为 ϵ_r 随 T 的变化关系曲线。由图可知,随着 T 的升高, ϵ_r 先降低后增加,在 $1\ 300\ ^\circ\text{C}$ 时, ϵ_r 达到最小值(2.83×10^{12}),当温度继续升高时, ϵ_r 先快速增加,后增速趋于平缓。在 $1\ 450\ ^\circ\text{C}$ 时 ϵ_r 达到最高(5.6×10^{12})。这是由于 TiO₂ 晶粒的电阻率远低于晶界层的电阻率,所以加在陶瓷上的电压能穿过狭窄的内部晶粒层,使极化扩大,从而导致了高的 ϵ_r 。随着 T 的升高,材料的致密度增加,气孔率减小,也会导致材料 ϵ_r 的升高。这是因为^[11]:

1) 随着气孔的增加,样品内部单位体积内的极化粒子数将会减少,这就会降低电介质的密度,导致 ϵ_r 降低。

2) 可把气孔看成是 $\epsilon_r = 1$ 的相,其他电介质的 ϵ_r 恒大于 1,这样气孔的存在总是会造成 ϵ_r 的下降。

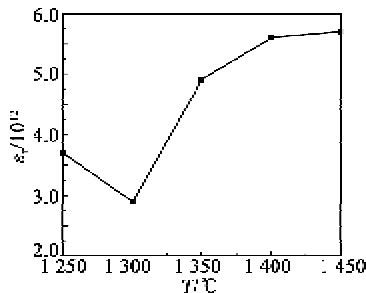


图 4 ϵ_r 随 T 的变化关系曲线

图 5 为掺杂量与 ϵ_r 的关系曲线。由图可知,随着掺杂量的提高,先快速降低而后直至平缓。 $w(\text{CeO}_2) = 0.1\%$ 时, ϵ_r 达到最大值,其中总电容量达最大值($502.262\ \text{nF}$), ϵ_r 达最大值(54.6×10^8)。

当开始掺杂 CeO₂ 时,会导致晶界变宽,从而造成 ϵ_r 的降低;当 CeO₂ 含量的增加量较小时,使铈离子出现缺陷,从而导致晶界势垒的升高,造成 ϵ_r 的增大,当 CeO₂ 掺杂过量时,导致过剩的 Ce 重新大量聚集在晶界上,则又会造成 ϵ_r 的降低。即 ϵ_r 表现为平缓趋势。

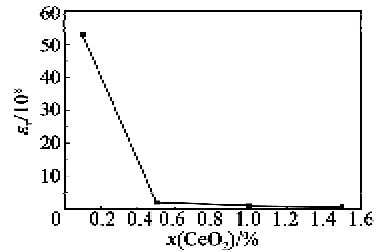


图 5 掺杂量与 ϵ_r 的关系曲线

2.2.2 介电损耗 $\tan \delta$

图 6 为 $\tan \delta$ 随 T 的变化关系曲线。由图可知, TiO₂ 压敏陶瓷 $\tan \delta$ 随 T 的升高先升高后降低再平缓。在 $1\ 450\ ^\circ\text{C}$, $\tan \delta$ 最低($\tan \delta = 0.07$),这说明此温度的 TiO₂ 压敏电阻具有较低的 $\tan \delta$ 。温度升高时,材料中极化粒子运动的能量增大,建立极化所需时间缩短,使材料内的极化可跟上电场变化的速度,从而使材料的 ϵ_r 升高;当 T 继续升高时,过量的 Ce^{4+} 形成受主而束缚电子,在晶粒表面由表及里地形成吞噬电子的耗尽层,提高了晶界势垒,从而使 $\tan \delta$ 降低。

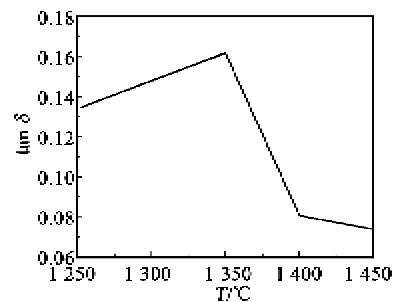


图 6 $\tan \delta$ 随 T 的变化关系曲线

图 7 为掺杂量与 $\tan \delta$ 的关系曲线。由图可知,随着掺杂量的提高, $\tan \delta$ 先升高后降低再升高。由于 TiO₂ 压敏陶瓷中含有 TiO₂ 主晶相、玻璃相及气孔,其中玻璃相是由材料中的烧结助剂及少量杂质在晶界上偏析形成的。气孔和玻璃相会造成材料 $\tan \delta$ 的增加^[12]。通常认为晶界势垒的高度直接影响 $\tan \delta$ 。晶界势垒增高会使电子穿过晶界的几率减小,即 I_L 减小,所以 $\tan \delta$ 也随之减小。实验中发现, $w(\text{CeO}_2) = 0.1\%$ 时, $\tan \delta$ 达到最小值($\tan \delta =$

0.138); $w(\text{CeO}_2)=1.0\%$ 时, $\tan \delta=0.165$ 。

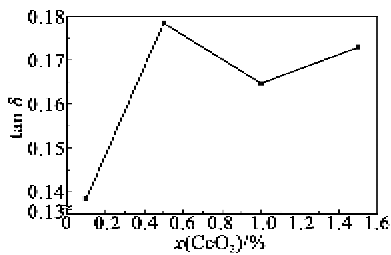


图7 掺杂量与 $\tan \delta$ 的关系曲线

3 结束语

烧结温度和 CeO_2 掺杂量对 TiO_2 压敏陶瓷的压敏电压、非线性系数、漏电流、相对介电常数和介电损耗等电学性能均有影响。当 CeO_2 掺杂量为 1.0% , 烧结温度为 $1400\text{ }^\circ\text{C}$ 时, 所制备样品的综合电学性能最佳, 压敏电压为 7.7 V/mm , 非线性系数为 3.8 , 漏电流为 0.1 A , 同时具有极优的介电常数和介电损耗。

参考文献:

- [1] 范积伟, 夏良, 张小立. 新型压敏陶瓷材料的研究进展[J]. 功能材料, 2009, 40(3): 58-62.
FAN Jiwei, XIA Liang, ZHANG Xiaoli. Progress of new varistor ceramic materials[J]. Functional Materials, 2009, 40(3): 58-62.
- [2] 邢晓东, 谢道华, 胡明. 压敏电阻陶瓷材料的研究进展[J]. 电子元件与材料, 2004, 23(2): 21-24.
XING Xiaodong, XIE Daohua, HU Ming. Progress of varistor ceramics[J]. Electronic Components and Materials, 2004, 23(2): 21-24.
- [3] 方湘怡, 肖华, 武明堂, 等. MnO_2 掺杂的 TiO_2 电容-压敏材料的结构与性能[J]. 电子元件与材料, 1994, 13(9): 11-14.
FANG Xiangyi, XIAO Hua, WU Mingtang, et al. structure and properties of MnO_2 doped TiO_2 capacitor-varistor materials[J]. Electronic Components and Materials, 1994, 13(9): 11-14.
- [4] YAN M, RHODES W. Preparation and properties of TiO_2 varistors[J]. Appl Phys Lett, 1982, 40(6): 536-537.
- [5] SANTHOSH P N, KHARAT D K. Effect of strontium substitution in (Nb, Bi) doped TiO_2 varistors[J]. Mater Lett, 1996, 28(9): 37-41.
- [6] PENNEWISS J, HOFFMAN B. Varistors made from TiO_2 -practicality and limits[J]. Mater Lett, 1990, 9(526): 219-226.
- [7] 丁志文, 朱道云, 牛丽霞, 等. 影响 TiO_2 压敏电阻器性能的因素讨论[J]. 信阳师范学院学报, 2004, 17(4): 406-407.
DING Zhiwen, ZHU Daoyun, NIU Lixia, et al. Factors of affecting the performance of TiO_2 varistor[J]. Journal of Xinyang Normal University, 2004, 17(4): 406-407.
- [8] 陈朝霞, 甘国友, 严继康. Sr 掺杂对 TiO_2 双功能压敏陶瓷介电性能的影响[J]. 昆明理工大学学报: 理工版, 2003, 28(5): 32-34.
CHEN Zhaoxia, GAN Guoyou, YAN Jikang. Influence of Sr doped TiO_2 dual function varistor dielectric properties[J]. Kunming University of Science and Technology: Science and Technology, 2003, 28(5): 32-34.
- [9] 项博, 宋仁国, 李红霞, 等. 微弧氧化时间对二氧化钛薄膜微观结构与性能的影响[J]. 热加工工艺, 2010, 39(10): 130-131.
XIANG Bo, SONG Renguo, LI Hongxia, et al. Influence of micro-arc oxidation time on the titanium dioxide film microstructure and properties[J]. Thermal processing, 2010, 39(10): 130-131.
- [10] 严继康, 甘国友, 陈海芳, 等. 烧结温度对 TiO_2 压敏陶瓷结构和性能的影响[J]. 压电与声光, 2008, 30(3): 332-334.
YAN Jikang, GAN Guoyou, CHEN Haifang, et al. Impact of sintering temperature on the TiO_2 varistor ceramic structure and properties[J]. Piezoelectrics & Acousto-optics, 2008, 30(3): 332-334.
- [11] 张小文, 甘国友, 严继康, 等. 表面层对 TiO_2 压敏陶瓷电学性能的影响[J]. 压电与声光, 2005, 27(3): 260-262.
ZHANG Xiaowen, GAN Guoyou, YAN Jikang, et al. Impact of surface layer on the electrical properties of TiO_2 varistor ceramics[J]. Piezoelectrics & Acousto-optics, 2005, 27(3): 260-262.
- [12] 陈家才, 甘国友, 严继康, 等. 锶受主掺杂对 TiO_2 压敏陶瓷电性能的影响[J]. 电子元件与材料, 2007, 26(5): 21-24.
CHEN Jiakai, GAN Guoyou, YAN Jikang, et al. Impact of strontium doped TiO_2 varistor ceramics electrical properties[J]. Electronic Components and Materials, 2007, 26(5): 21-24.