

# 基于 DDS 与 PLL 的 C 波段全相参雷达频综设计

王文才,陈昌明,黄刚

(成都信息工程学院 通信工程学院,四川 成都 610225)

**摘要:**提出了一种直接数字频率合成(DDS)与锁相环(PLL)相结合的全相参频率合成方案。运用 HMC704 控制压控振荡器(VCO)设计高性能锁相本振源,将 AD9910 在基带产生的线性调频(LFM)脉冲调制信号经二次变频搬移到 C 波段,改善了输出信号的相噪和杂散,降低了系统的复杂性。实现了低相噪,低杂散,窄步进的 C 波段全相参雷达频综。结果表明,该频综在 C 波段输出 LFM 信号的幅度大于 10 dBm,频率步进为 1 kHz,相位噪声优于  $-103$  dBc/Hz@1 kHz,各项指标均满足实际工程要求。

**关键词:**C 波段;全相参频综;PLL+DDS;线性调频

**中图分类号:**TN74

**文献标识码:**A

## Design of C-band Full-coherent Frequency Synthesizer Based on DDS&PLL

WANG Wencai, CHEN Changming, HUANG Gang

(School of Communication Engineering, Chengdu University of Information Technology, Chengdu 610225, China)

**Abstract:** A C-band frequency synthesizer scheme for full-coherent radar combining direct digital synthesis (DDS) and phase-locked loop (PLL) is proposed in this paper. In order to improve the phase noise and spurious of output signal and reduces the system complexity, the high-performance local oscillator is designed by using HMC704 to control VCO, and the base-band LFM signals produced by AD9910 are further up-converted into C-band by two times to meet the required frequency. The synthesizer has implemented with good performance of both low phase noise, high resolution and small step. Experimental results show that the output amplitude of the proposed C-band synthesizer is greater than 10 dBm, frequency step is 1 kHz, the phase noise level is better than  $-103$  dBc/Hz at 1 kHz, the indicators meet the practical engineering requirements.

**Key words:** C-band; full-coherent frequency synthesizer; PLL+DDS; LFM

### 0 引言

频率综合器是雷达系统中的关键部件之一,其性能好坏直接影响着系统的整体性能。目前频率合成方法有直接模拟式(DAS)、间接锁相式(PLL)和直接数字式(DDS),其中 DDS 合成式虽然输出频率较低,通常只有几百兆,但其具有频率分辨率高,转换速度快,可编程等优点,能很好地满足对多种复杂形式信号输出的要求<sup>[1-3]</sup>。现代雷达体系中脉冲可变的线性调频(LFM)等复杂调制信号的产生往往是利用 DDS 在较低频率合成,然后通过倍频或变频方式将其搬移到更高的所需频段;而倍频或锁相倍频方式随着倍频次数( $N$ )的增加,其相噪和杂散以  $20\lg N$  恶化<sup>[3]</sup>,因此在应用中受限。因此,本文结合

DDS 和 PLL 各自的优点,采用一种基于 DDS+PLL 的混频、滤波的电路结构,设计了一款 C 波段小步进、快速线性调频的全相参微波频率源,通过对电路的优化设计,在满足一定的杂散指标要求的同时,获得了低相噪的输出信号。

### 1 系统方案

频综系统的输出 LFM 信号中心频率为 4.86 GHz;最小频率步进为 1 kHz;输出功率 $\geq 10$  dBm;接收本振为 4.8 GHz;相位噪声 $\leq -95$  dBc/Hz@1 kHz, $\leq -100$  dBc/Hz@100 kHz;杂散 $\leq -65$  dBc。

综合频综的指标和功能要求及雷达收发前端电路的特点,从上/下变频的镜像和交调干扰杂波抑制

收稿日期:2014-08-01

基金项目:2013 年四川省教育厅自然科学重点基金资助项目(13ZA0087)

作者简介:王文才(1987-),男,甘肃天水人,硕士生,主要从事微波电路与系统的研究。

的角度对频率进行规划,提出系统方案如图1所示。100 MHz的恒温晶振经功分器分成5路,一路分频为基带信号处理提供参考时钟,另外4路分别提供给PLL1、PLL2、PLL3、PLL4。其中PLL1的输出为DDS芯片AD9910提供1 GHz的系统时钟。PLL2和PLL3分别产生420 MHz和4.5 GHz的低相噪杂散变频本振,将DDS在低频输出的小步进线性调频脉冲信号搬移到C波段。PLL4为接收本振。

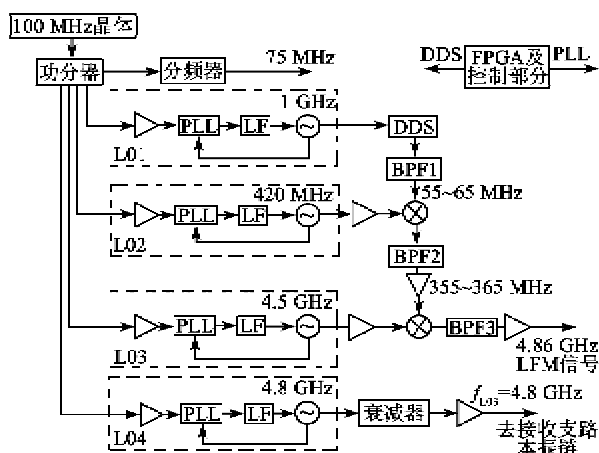


图1 全相参雷达频综框图

## 2 关键单元电路设计

本方案实现的关键包括基带 LFM 脉冲调制信号的产生(基于 DDS)、发射上变频信道频率规划及低相噪收发变频本振信号的产生(基于 PLL)。

### 2.1 DDS 的 LFM 源设计

目前利用直接数字频率合成(DDFS)技术来产生脉宽可变的 LFM 信号已逐渐成为主流趋势,但只能在低频段实现。选择 ADI 公司推出的高性能 DDS 芯片 AD9910 产生基带 LFM 信号,其在 1 GHz 系统时钟下可输出高达 400 MHz 的模拟信号,相位噪声优于  $-125 \text{ dBc/Hz}@1 \text{ kHz}$ 。DDS 输出频率  $f_{\text{DDFS}}$  与系统时钟  $f_{\text{SYSCLK}}$  之间的关系为

$$f_{\text{DDFS}} = \frac{FTW}{2^{32}} f_{\text{SYSCLK}} \quad (1)$$

式中  $FTW$  为频率控制字。由式(1)可知,AD9910 的频率分辨率可达 0.23 Hz。通过对其电路和 PCB 印制电路板优化设计,利用 FPGA 对其内部寄存器配置得到中心频率为 60 MHz 的 LFM。

### 2.2 二次变频方案设计

对于混频器,当两路输入信号互不相关时,输出信号与输入信号相噪的功率谱密度关系<sup>[4]</sup>为

$$L_c(f) = L_{c_1}(f) + L_{c_2}(f) \quad (2)$$

由式(2)可知,为保证变频过程不引起 DDS 输出 LFM 信号相噪恶化,设计低相噪的变频本振是关键。一般认为,参与变频的本振相位噪声优于射频信号的相位噪声 7 个 dB 以上,则不会使变频输出信号的相位噪声恶化<sup>[5]</sup>。因此利用 PLL 输出信号相噪低,杂散好等优点设计了变频本振源。另外,变频过程中由于混频器的非线性效应会引入额外的交调和镜像杂散分量,方案对频率合理规划<sup>[6-7]</sup>最终采用二次变频方式设计 420 MHz 和 4.5 GHz 两个频点的低相噪锁相源作为变频本振,避免了混频交调分量落入信号通带内。一次上变频方案存在射频信号提取、高阶交调及本振泄露抑制难等问题,因此采用二次变频。

### 2.3 锁相环电路设计

采用 HMC704LP4 控制压控振荡器(VCO)的方式设计多个低相噪的锁相环,为系统提供 420 MHz 和 4.5 GHz 的变频本振及 1 GHz 的 DDS 时钟信号。HMC704LP4 是一款低相噪小数分频锁相环芯片,其内部集成了鉴相器、精密电荷泵、参考分频器  $R$ 、可编程分频器  $N$ ,相位噪声可达  $-112 \text{ dBc/Hz}@50 \text{ kHz}$ 。PLL 输出和鉴相频率关系为

$$f_{\text{PLL}} = N \times f_{\text{FDD}} = 100N/R \quad (3)$$

综合考虑相位噪声、杂散、稳定性和捕捉时间等要求,设定环路滤波带宽 200 kHz,鉴相频率为 50 MHz,相位裕度  $60^\circ$ 。以 4.8 GHz 接收本振为例,VCO 选用 mini 公司的 ROS-4795-119+,其单边带相位噪声为  $-135 \text{ dBc/Hz}@1 \text{ MHz}$ 。采用 Hittite 公司 PLL Design Tool 软件,设计三阶无源滤波器并对锁相环路输出频率在 1 kHz~10 MHz 频偏范围内的相噪仿真如图 2 所示。

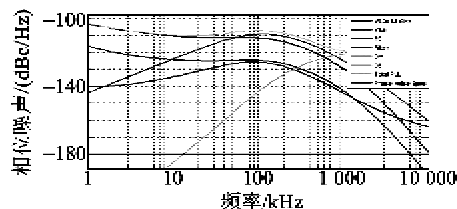


图2 4.8 GHz 相噪仿真曲线

由图2可知,设计的 4.8 GHz 锁相点频源总体相噪小于  $-110 \text{ dBc/Hz}$ ,满足指标要求。

## 3 系统测试与分析

通过对环路滤波器和电路印制板优化设计及加工制作,给出部分实物图,如图3、4所示。

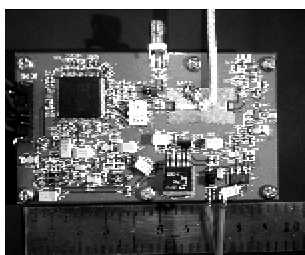


图3 DDS 的 LFM 信号源

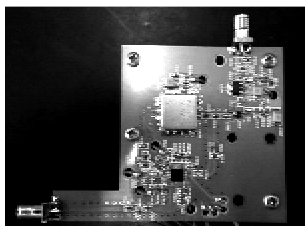


图4 4.8 GHz 锁相源

系统测试时,在外加 8 V 电压下,通过现场可编程逻辑门阵(FPGA)将频率控制字、扫频步进、扫频带宽<sup>[8]</sup>等信息写入 DDS 和 PLL,采用 ROHDE&SCHWARZ 公司的 Signal Analyzer 对各路输出信号的频率、功率幅度、相位噪声等参数进行测试,图 5 是中心频率为 4.86 GHz 的 LFM 发射信号频谱图。图 6、7 分别为接收本振频谱和相噪测试图。

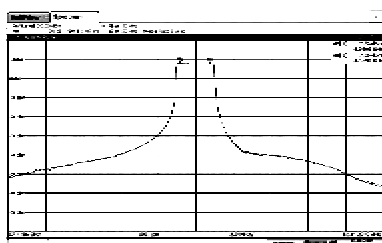


图5 C 波段线性调频脉冲频谱图

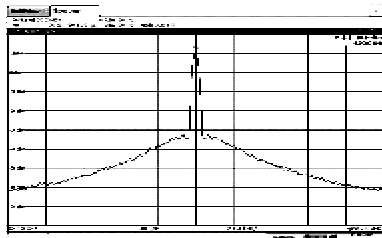


图6 4.8 GHz 接收本振频谱图

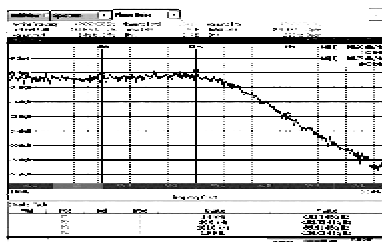


图7 4.8 GHz 接收本振相噪图

由图 5 可知,输出 LFM 信号中心频率为 4.86 GHz,幅度大于 7 dBm,扫频带宽为 10 MHz,频率步进 1 kHz。脉内频率随时间呈线性调频关系变化,且线性度好。由图 6、7 可知,接收本振信号相噪优于  $-103 \text{ dBc/Hz}@1 \text{ kHz}$ ,但脉冲内信号幅度略不平坦,这主要是由输出端滤波器带内插损不均等引起的。即便这样该频率源仍能很好地满足工程要求。

#### 4 结束语

本文在良好的频率规划和电路设计基础上,充分利用 DDS、PLL 和 FPGA 的优点,通过设计低相噪、低杂散的高性能点频本振,采用二次变频的方案实现了一款性能优良的 C 波段全相参雷达频综。实测结果表明,该频综在频谱纯度、相噪性能、LFM 发射脉冲小步进、快速调频等关键指标上取得了较好效果,满足设计指标要求。

#### 参考文献:

- [1] GALANI Z, CAMPBELL R A. An overview of frequency synthesizers for radars[J]. *Microwave Theory and Techniques*, 1991, 39(5): 782-790.
- [2] YANG Y, CAI J. A millimeter-wave frequency synthesizer architecture with high agility and high resolution performance[C]//Lijiang: Computational Problem-Solving (ICCP), 2010: 438-441.
- [3] SCHEIBLHOFFER S, SCHUSTER S, STELZER A. High-speed FMCW radar frequency synthesizer with DDS based linearization[J]. *Microwave and Wireless Components Letters*, 2007, 17(5): 397-399.
- [4] ZHU N, CAI J Y. A new method of developing high-performance Ku-band radar transceiver[C]//Guilin: IET International Radar Conference, 2009: 112-113.
- [5] 付钱华,刘镰斧,彭晓,等. S 波段全相参捷变频雷达收发中频部件设计[J]. *电子技术应用*, 2010(1): 43-46.
- [6] 蔡竞业,夏蓉,刘镰斧,等. Ka 波段全相参雷达收发射频前端系统组件研制[J]. *电子科技大学学报*, 2009, 38(5): 629-633.
- [7] CAI J, YANG Y, LIU L, et al. High performance waveform generator design for full-coherent millimeter-wave radar[C]//Chengdu: Signal Design and Its Applications in Communications, 2007: 378-382.
- [8] Analog Device Inc. AD9910 datasheet[M]. USA: Analog Device Inc, 2008.