

基于 0.13 μm SOI CMOS 工艺的 VCSEL 驱动器设计

潘彦君, 孙向明, 黄光明, 叶竞波, 龚达涛, 董业民, 杨文伟, 杨 苹

(华中师范大学 像素实验室, 湖北 武汉 430062)

摘要:介绍了一种低功耗高速垂直腔表面发射激光器(VCSEL)驱动器的设计。该芯片设计使用国产 0.13 μm SOI CMOS 工艺,能提供 6~8 mA 可调调制电流及 4~7 mA 可调偏置电流。驱动电路采用多级级联放大并结合无源电感并联峰化技术,用以拓展带宽。测试结果表明,该电路在 1.2 V 单电源工作电压下,最高工作速率可达 5 Gbit/s,总功耗仅为 48 mW。

关键词:绝缘衬底上的硅(SOI);激光驱动器;并联峰化;高速;低功耗

中图分类号:TN7 **文献标识码:**A

Design of VCSEL Driver Based on 0.13 μm SOI CMOS Process

PAN Yanjun, SUN Xiangming, HUANG Guangming, YE Jingbo,

GONG Datao, DONG Yemin, YANG Wenwei, YANG Ping

(Pixel Laboratory at CCUN, Central China Normal University, Wuhan 430062, China)

Abstract:The design of low power high speed Vertical-Cavity Surface-Emitting Laser (VCSEL) driver is introduced in this paper. The chip is designed based on the domestic 0.13 μm SOI CMOS process which can provide 6~8 mA adjustable modulation current and 4~7 mA adjustable bias current. The multi-stage amplifier combined with passive shunt peaking inductor is used to expand the bandwidth of the driver. The test results show that the maximum operating rate of the driver is 5 Gbit/s and the total consumption is only 48 mW under the single power supply voltage of 1.2 V.

Key words:silicon-on-insulator(SOI); laser driver; shunt peaking; high speed; low power

0 引言

当今社会,随着信息技术的高速发展,光纤通信已在通信系统中得到了广泛应用。光纤通信是以光为载波,以光纤为传输介质的一种通信方式,该方式具有无信号串扰、无需考虑阻抗匹配等优势^[1-2]。然而,作为光电转换的激光驱动器,其速率直接制约着光纤两端信号收发电路的信息传输速度,如何提高激光驱动器的速率、降低其功耗及生产成本对其商业推广应用有着深远的意义。另一方面,光纤通信系统不仅应用于日常生活,也在高能物理实验、核医疗器械等其他领域中发挥着重要作用,但光纤系统需要一定的抗辐照能力,如何解决这一问题,成为光纤通信是否能够应用于辐照系统中的关键^[3]。在此背景下,本文采用国产 0.13 μm SOI CMOS 工艺,

设计出驱动速率达 5 Gbit/s 的低功耗垂直腔表面发射激光器(VCSEL)激光驱动芯片。相对于传统互补金属氧化物半导体(CMOS)体硅工艺,绝缘衬底上的硅(SOI)工艺具有无闩锁效应、速度快和抗辐照等特点。本文介绍的电路设计具有一定的抗辐照能力,对其在高能物理实验等辐照环境下的应用具有参考意义。

1 SOI CMOS 工艺

SOI 是集成电路在步入纳米技术时代后,能突破体硅技术和硅集成电路限制的新型集成电路技术,被誉为“21 世纪的硅技术”。SOI 工艺中,绝缘衬底上器件的有源区位于绝缘层上的硅膜内,因其具有完全的介质隔离,消除了体硅工艺中存在的部分寄生效应。SOI 材料器件也因此具有避免了闩锁

收稿日期:2017-03-14

基金项目:中央高校基本科研业务费专项资金资助项目(CCNU16A05029)

作者简介:潘彦君(1991-),女,湖北武汉人,硕士生,主要从事模拟集成电路设计,在校期间从事激光驱动器的设计。通信作者:孙向明(1981-),男,山东潍坊人,教授,博士生导师,主要从事像素探测器的设计与研究。

效应的产生,更低的功耗,提高了电路的工作速度及较强的抗辐照能力等优点^[4]。本设计采用国产 0.13 μm SOI 工艺,该工艺的器件抗总剂量(TID)效应能力约为 300 krad。与国外昂贵的工艺相比,采用此工艺不仅可降低生产成本,且能推动国产 SOI 工艺的发展。

2 结构设计

VCSEL 是一种半导体发光器件,若 VCSEL 输入电流小于其阈值电流,所发出的光是光谱范围很宽的非相干光,用于表征逻辑低;当输入电流值到达或超过其阈值电流时,将产生非常高的相干光,用于表征逻辑高。其中,共阳结构或阴阳极分离结构的 VCSEL 可采用电流驱动方式,而共阴结构的 VCSEL 只能采用电压驱动方式。VCSEL 驱动电路主要是将输入的数字信号放大,并以电流或电压的方式驱动 VCSEL 快速的关断或开启^[5]。

我们选用共阳结构的 VCSEL,本设计为全差分结构的电流驱动器。VCSEL 驱动的电路框图,如图 1 所示。其中,输入匹配电路用于调节输入信号的共模电平,并提供 50 Ω 的端接匹配电阻;前级放大器主要用于放大信号,并驱动具有较大等效输入电容的输出级电路;输出级电路用于向 VCSEL 提供足够大的调制电流且电流值可调;VMOD 引脚用于控制调制电流的大小;偏置电路向 VCSEL 提供可调偏置电流。

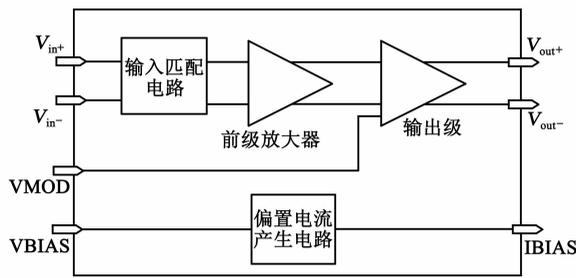


图 1 VCSEL 驱动电路框图

3 模块设计

3.1 输入匹配电路及输出级设计

输入匹配电路如图 2 所示。输入匹配电路实现差分信号匹配的同时,为前级放大器提供共模电平。设计采用电阻分压方式获得共模电压,通过调整电阻的比例为后一级放大器提供 0.8 V 的共模电压。差分输入的匹配电路为两个 50 Ω 的电阻,将电阻的中心点连接至偏置点,从而形成差分输入信号的匹配。

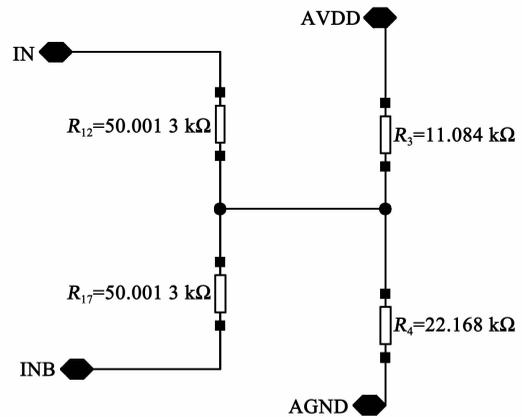


图 2 输入匹配电路

输出级(见图 3)同样采用 50 Ω 的上拉电阻进行匹配,为保证最大电流 8 mA 的输出能力,尾电流管 NM₁ 选用的宽长较大,其栅极电压经由 VMOD 外接,用来调节调制电流。

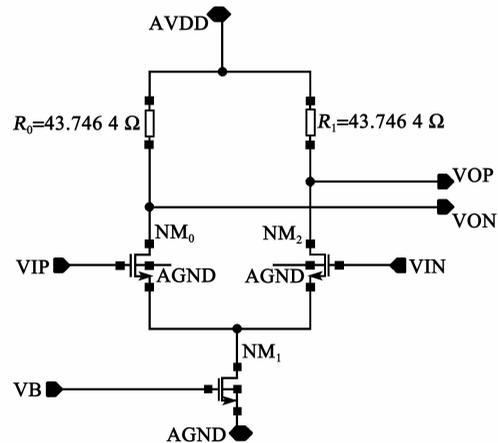


图 3 输出级电路

3.2 前级放大器设计

在本设计中,前级放大器需要提供 18 dB 的增益,当负载约为 200 fF 时,小信号带宽高于 3.5 GHz。为驱动较大的等效负载,本设计采用的多级级联放大器如图 4 所示,多级放大器能够有效提高带宽。为简化计算,假设各级具有相同的增益-带宽积 ω_T ,若总的增益为 G ,则每个放大级的增益为 $G^{1/n}$,而单级的带宽为

$$BW_s = \frac{\omega_T}{G^{1/n}} \quad (1)$$

由式(1)得到整个放大器的带宽为

$$BW_t \approx \frac{\omega_T}{G^{1/n}} \cdot \frac{\sqrt{\ln 2}}{\sqrt{n}} \quad (2)$$

由式(2)可推导出当每一级的增益为 \sqrt{e} 时,总的带宽最大。由此得到对应的最优级数为

$$n = 2 \ln G \quad (3)$$

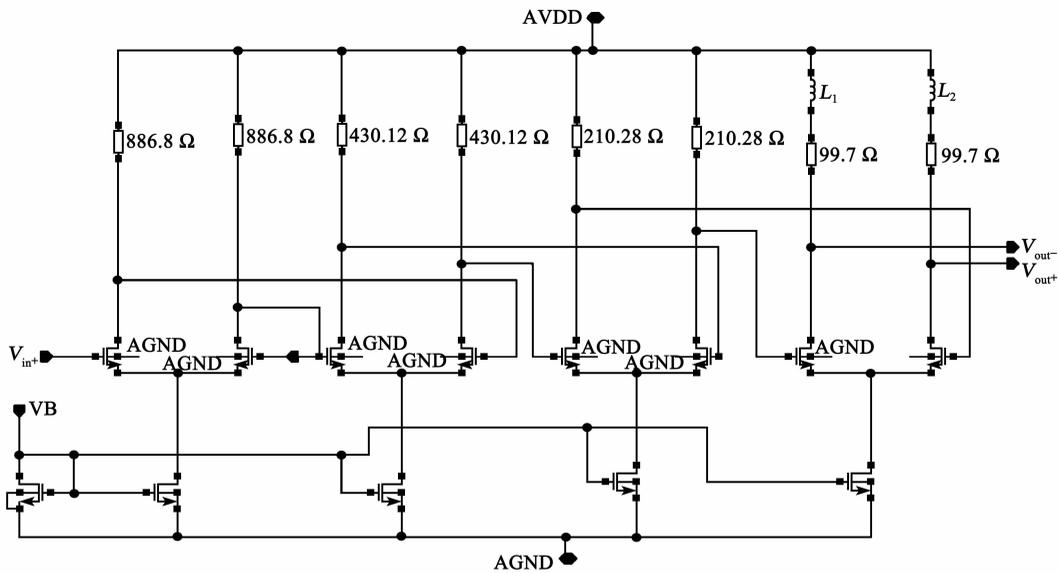


图4 前级放大器

根据设计要求,总增益为 18 dB,代入式(3)计算得到最优级数为 4 级^[6]。每级均为基本差分放大器,负载电阻逐级减半,差分输入管宽度逐级增加,使得每级的增益带宽积尽可能相同,更接近式(2)。将仿真得到的增益带宽积 10.98 GHz 代入式(2),计算得到总带宽为 2.72 GHz,这与仿真结果 2.17 GHz 接近。这一结果充分说明级联放大器在相同的增益下,可取得较高的带宽,而此时的带宽仍小于设计值。电感峰化技术是在电路负载中增加电感以扩展带宽的一种技术。图 5(a)为一个简单的共源放大器,图 5(b)在放大器的负载电阻上串联了一个电感。分别对两个电路进行小信号分析。图 5(a)所示电路的传递函数为

$$\frac{V_{out}(\omega)}{V_{in}} = \frac{g_m \cdot R}{1 + j\omega RC} \quad (4)$$

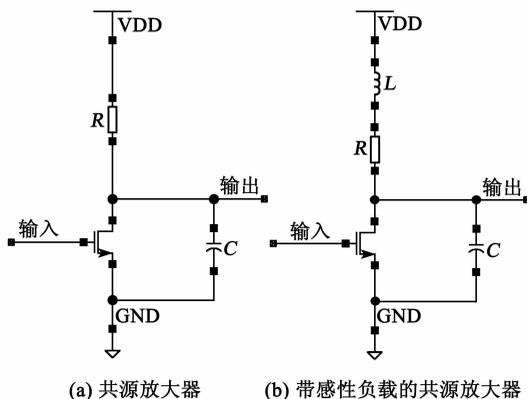


图5 源跟随电路

负载中串联电感的共源放大器传递函数为

$$\frac{V_{out}}{V_{in}} = \frac{g_m(R + j\omega RCm)}{1 + j\omega RC - \omega^2 R^2 C^2 m} \quad (5)$$

其中

$$m = \frac{L/R}{RC} \quad (6)$$

对比式(4)、(5)可看出,感性负载引入了一个零点,消除了极点的影响,从而增大了带宽。电感峰化技术又分为有源电感峰化和无源电感峰化。有源电感通常由 N 型金属-氧化物-半导体(NMOS)管和电阻来实现^[7]。使用 NMOS 管作为负载,不仅会带来噪声,且 NMOS 管的阈值电压会带来压降,从而限制了输出信号的摆幅,因此,需采用双电源或升压电路的方式减小压降带来的影响。经过综合考虑,本设计采用无源电感并联峰化,在最后一级中加入片上电感,在获得足够带宽的同时尽可能地减小面积。

3.3 偏置电流产生电路设计

由 VCSEL 的特性可知,VCSEL 在光信号传输时表现为高电流,即逻辑高;低电流,即逻辑低。传输过程中的 VCSEL 始终处于导通状态,而为其能够更快地开启,逻辑低对应的电流应适当地高于阈值,阈值电流的典型值为 3 mA。由 6~8 mA 的调制电流可知,偏置电流应大于 6 mA。偏置电流由基本电流镜产生^[8],电流镜栅极经由 VBIAS 外接,通过调节尾电流管栅极电压以改变偏置电流的大小。

4 版图设计和仿真

芯片在探针台上的照片如图 6 所示,本设计为

高速差分电路,版图布局采用完全对称结构,充分考虑共质心原则、匹配器件方向一致、匹配器件相互靠近、小尺寸匹配器件增加虚拟器件等匹配原则^[9]。走线时差分信号线完全对称,高速线尽可能避免长线以减少寄生电阻电容。

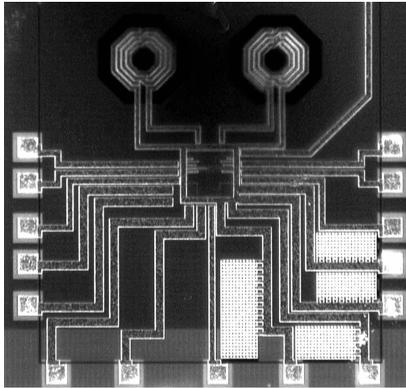


图 6 激光驱动器芯版图片

版图使用 Calibre 软件进行寄生参数提取, Spectre 工具进行仿真,得到后仿真结果如图 7 所示。仿真结果显示在速率为 5 Gbit/s 时,抖动为 17.3 ps,最大输出电流可达 8.3 mA,满足设计要求。

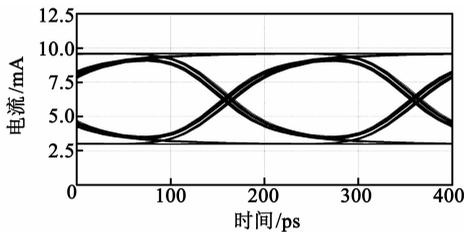
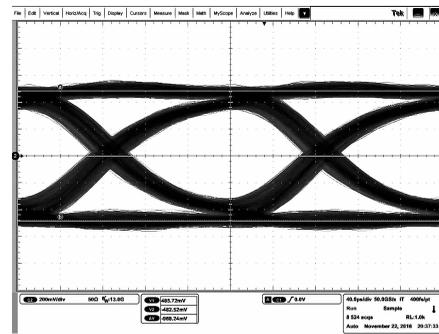


图 7 后仿真眼图芯片测试

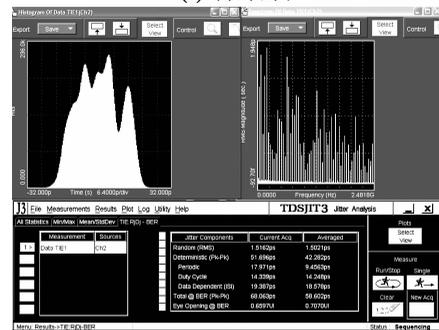
芯片经绑线、封装、焊接后使进行测试(测试环境见图 8)。当输入峰-峰值为 100 mV、速率为 5 Gbit/s 的信号时,该激光驱动器在 100 Ω 负载上的输出电流测试眼图如图 9 所示。由图可见,最大输出调制电流可达 8 mA;总抖动为 58.6 ps,其中,随机抖动为 1.5 ps,确定性抖动为 42.28 ps,该结果与后仿真有一定差异,其主要原因来自系统噪声及绑线所引入的寄生电感电容。



图 8 测试平台与测试板



(a) 测试眼图



(b) 眼图参数

图 9 测试眼图

5 结束语

该电路设计周期较短,其主要目的在于验证使用该工艺进行高速激光驱动器设计的可行性。结果显示,该设计能够提供最大达 8 mA 的驱动电流;芯片在速率 5 Gbit/s 时工作性能优异,该工艺可应用于高速激光驱动器的设计。

参考文献:

- [1] RAZAVI B. 光纤通信集成电路设计[M]. 北京:人民邮电出版社,2008.
- [2] 李筱婷. ATLAS 液氙量能器前端读出系统 Phase-I 升级的光纤数据传输 ASIC 设计[D]. 武汉:华中师范大学,2014.
- [3] 张钰青. 抗辐照 SOI MOSFET 模型研究[D]. 杭州:杭州电子科技大学,2015.
- [4] 李泳锦. 单通道超高速 CMOS VCSEL 驱动器设计与仿真[D]. 西安:西安电子科技大学,2014.
- [5] LEE T H. CMOS 射频集成电路设计[M]. 北京:电子工业出版社,2006.
- [6] 江浩. 高频放大器中集几种扩展带宽技术的研究[J]. 科技信息, 2007(34):110-112.
JIANG Hao. Research of the techniques for bandwidth enhancement of radioamplifier[J]. Science & Technology Information, 2007(34): 110-112.
- [7] RAZAVI B. 模拟 CMOS 集成电路设计[M]. 西安:西安交通大学出版社, 2003.
- [8] HASTINGS A. 模拟电路版图的艺术[M]. 北京:电子工业出版社,2007.