

一种C波段捷变频率源的设计

程明,周叶华,刘茉莉

(中国电子科技集团公司第三十六研究所,浙江嘉兴 314033)

摘要:频率源是接收机的重要组成部分,对接收机性能有重要影响。该文介绍了一种C波段捷变频率源的设计,给出了设计原理和仿真,并进行了系统集成,最终完成了一款C波段频率模块的制作。测试结果表明,该频率源模块输出频率为4.0~8.0 GHz,输出幅值大于5 dBm,相位噪声优于-102 dBc/Hz@10 kHz,换频速度小于10 μ s,杂散抑制大于70 dB,具有很好的环境适应性,主要性能指标均满足设计要求。已形成货架化接收机模块,批量生产超过2 000块,应用于多个工程项目中,产生了较好的经济和社会效益。

关键词:捷变频率源;接收机;相位噪声;锁定时间;C波段

中图分类号: TN74; TM933.3

文献标识码: A

DOI: 10.11977/j.issn.1004-2474.2018.05.010

Design of Agile Frequency Synthesizer at C-band

CHENG Ming, ZHOU Yehua, LIU Moli

(The 36th Institute of China Electronics Technology Corporation, Jiaxing 314033, China)

Abstract: The frequency source is an important part of the receiver and has a significant impact on receiver performance. In this paper, the design of a C band agile frequency source is introduced, the design principle and simulation are given, and the system integration is carried out. Finally, a C band frequency module is fabricated. The test results show that the output frequency of the frequency synthesizer module is 4.0~8.0 GHz, the output amplitude is greater than 5 dBm, the phase noise is better than -102 dBc/Hz@10 kHz, the frequency changing speed is less than 10 μ s, and the stray suppression is greater than 70 dB, the module has good environmental adaptability, and the main performance specifications meet the design requirements. The off-the-shelf receiver modules have been fabricated, which have produced over 2 000 blocks in batch production and has been applied to many engineering projects, resulting in better economic and social benefits.

Key words: agile frequency synthesizer; receiver; phase noise; lock time; C-band

0 引言

频率源作为接收机的本振,是接收机的重要组成部分,对接收机性能有重要影响。频率源的主要技术指标包括相位噪声、杂散抑制和换频速度等,其中相位噪声和杂散抑制对接收机的瞬时动态范围和灵敏度有决定性影响,换频速度决定了接收机的侦察搜索速度,因此,研究高性能的频率源是研制接收机的关键技术之一。现因项目研制需要,研制一种高性能宽带接收机,一本振频率覆盖4.0~8.0 GHz(步进50 MHz),二本振为小步进(带宽50 MHz)。研制该频率源可采用直接合成法、间接合成法(锁相环式)以及直接与间接相结合的方法^[1]。直接合成具有最低的相位噪声性能和快速换频的能力,但体积相对较大,且多次混频组合后的杂散不易控制;锁

相环式频率合成电路相对较简单,功耗和体积都较小,工作性能可靠、稳定,但最佳相位噪声与捷变频是不可回避的矛盾^[2]。课题组讨论后认为,锁相式频合技术符合本项目的实际需求^[3]。

1 设计原理

因课题需要开发一种C波段捷变频率源,主要技术指标如下:

- 1) 频率范围为4.0~8.0 GHz;
- 2) 频率步进为50 MHz;
- 3) 输出功率 $\geq +5$ dBm;
- 4) 杂散抑制 ≥ 70 dB;
- 5) 相位噪声 ≤ -100 dBc/Hz@10 kHz;
- 6) 锁定时间 ≤ 10 μ s(起始频差 $\Delta f=1$ GHz);
- 7) 体积 ≤ 70 mm $\times$ 70 mm $\times$ 15 mm;

收稿日期:2017-10-31

基金项目:国防重点实验室基金资助项目(9140C130201150C13065)

作者简介:程明(1978-),男,安徽人,高级工程师,主要从事电子战接收机、卫星通信及软件无线电的研究。已获省部级国防科技进步奖2项,授权国防专利3项。E-mail:9628540@qq.com。周叶华(1977-),女,浙江人,高级工程师,主要从事电子战接收机、软件无线电的研究。

- 8) 功耗 ≤ 2.5 W;
- 9) 工作温度为 $-25\sim+70$ °C;
- 10) 满足振动、冲击、低气压等环境条件。

图1为C波段频率源方案。图中,VCO为压控振荡器。该模块的设计重点是实现捷变频,换频速度要求小于 $10\text{ }\mu\text{s}$,而相位噪声指标要求不高,一般可达到。标频输入为 100 MHz ,标频分频比 $R=4$,鉴相频率为 25 MHz 。为了提高换频速度,该方案未选择串行控制的AD公司PLL芯片,而是采用PEREGRINE公司的并行控制的PE33241芯片,更适合该捷变频应用。由于该芯片射频工作频率最高只有 5 GHz ,因此,需要设置预分频,该预分频器为2分频,环路分频比 $N=80\sim 160$ 。经锁定后,VCO输出频率为 $4.0\sim 8.0\text{ GHz}$,功分后采用幅度均衡、推挽放大输出。

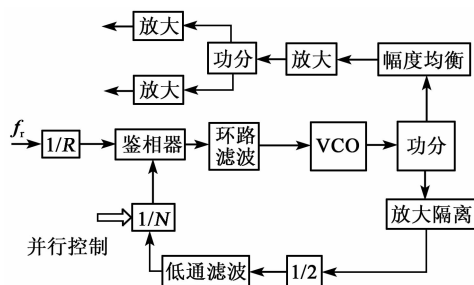


图1 C波段频率源方案

2 性能仿真分析

对该频率源的性能进行分析和仿真,锁相环线性模型如图2所示。

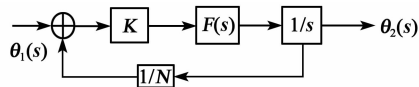


图2 锁相环线性模型

对于单锁相环,基本单元包括鉴相器、环路滤波器、VCO、分频器 $(1/N)^{[3]}$,其开环传递函数为

$$H_o(s) = K \frac{F(s)}{s} \quad (1)$$

闭环传递函数为

$$H(s) = \frac{\theta_2(s)}{\theta_1(s)} = \frac{KF(s)}{s + KF(s)} = \frac{H_o(s)}{1 + H_o(s)} \quad (2)$$

式中: N 为分频比; $1/s$ 为VCO线性模型; θ_1 为标频输入相位; θ_2 为标频输出相位。

由闭环传递函数经拉氏变换可得,频率阶跃响应时域 $F(t)^{[4]}$ 。在频率最小误差 Δ 下,锁定时间 T_{lock} 可近似表达为

$$T_{\text{lock}} \approx \frac{-\ln\left(\frac{\Delta}{\Delta f} \cdot \sqrt{1-\zeta^2}\right)}{\zeta \cdot \omega_n} \quad (3)$$

$$\Delta f \approx |f_2 - f_1| \quad (4)$$

式中: f_1 为起始频率; f_2 为终止频率; ζ 为阻尼系数; ω_n 为环路固有角频率。

对于有源比例积分滤波二阶环,其环路带宽为

$$B_n = \frac{\omega_n}{8\zeta} (1 + 4\zeta^2) \quad (5)$$

由式(5)可知,环路锁定时间与3个因素有关:

1) 频率最小误差 Δ 。能容忍的 Δ 越大,锁定时间越短。

2) 起始频差 Δf 。 Δf 越小,锁定时间越短。

3) 环路带宽 B_n 。 B_n 越宽,锁定时间越短。

设计中,为提高换频速度,环路滤波器带宽需设置较宽,而带宽的频率源近端相噪和杂散抑制难做好,因此,需要权衡考虑相噪、换频速度和杂散抑制。经过考虑后环路带宽取 $1\sim 2\text{ MHz}$,此时相噪优于 $-100\text{ dBc/Hz}@10\text{ kHz}$,杂散抑制 70 dB 以上。同时为了节省控制时间,选择并行直接控制的锁相环芯片,控制时间可忽略。

锁相芯片采用PE33241的基底相位噪声为 -230 dBc/Hz ,采用 25 MHz 鉴相,在 25 MHz 归一化基底噪声 $PN_{\text{floor}} = -230 + 10\lg 25\ 000\ 000 = -156\text{ dBc/Hz}@10\text{ kHz}$ 。理论上,标频经过4分频后的相位噪声 $PN_{\text{fr}} = -156 - 20\lg 4 = -168\text{ dBc/Hz}@10\text{ kHz}$ 。但实际的 25 MHz 标频相噪并不会这么好,因为受制于分频器的基底相噪(只有 $-150\text{ dBc/Hz}@10\text{ kHz}$),因此, 25 MHz 的标频相噪 PN_{fr} 只有 $-150\text{ dBc/Hz}@10\text{ kHz}$ 。比较标频相噪和鉴相基底相噪,取其低者。那么在 8 GHz 输出时, $N=160$, 8 GHz 相噪估算 $PN_{\text{out}} = -150 + 20\lg 160 = -105.9\text{ dBc/Hz}@10\text{ kHz}$ 。由以上计算可知,在 8 GHz 的相噪为 $-105.9\text{ dBc/Hz}@10\text{ kHz}$,满足设计要求^[5-6]。设置以上参数,输出 6.6 GHz 时的相噪仿真如图3所示。

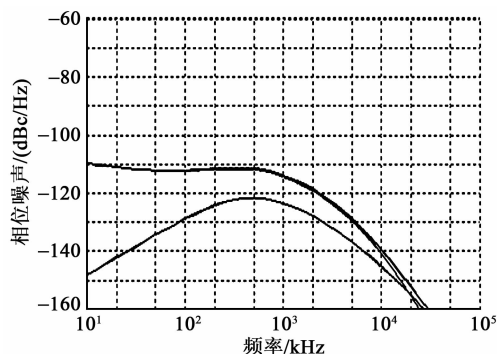


图3 6.6 GHz相位噪声仿真

当频率跳变从 $4.0\sim 5.0\text{ GHz}$ 时, $\Delta f=1\text{ GHz}$,取 $\Delta=1.0\times 10^{-8}$, $\zeta=0.75$, $\omega_n=2\pi\times 1\text{ MHz}$,代入式(3)可估算锁定时间为

$$T_{\text{lock}} \approx \frac{-\ln\left(\frac{0.000\,000\,01}{1\,000\,000\,000} \times \sqrt{1-0.75^2}\right)}{0.75 \times 2\pi \times 1\,000\,000} \approx 8.4(\mu\text{s})$$

设置参数,锁定时间仿真图如图4所示。

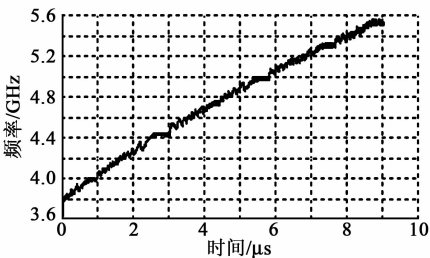


图4 锁定时间仿真

3 模块集成

模块集成在一个70 mm×70 mm×15 mm的铝制腔体中,局部镀金。为节省体积,并获得良好的电磁兼容性,模块结构分为正、反两部分,正面部分是微波电路,包括VCO、分路、推挽放大、隔离、幅度均衡、2分频等电路。反面部分包括控制、鉴相、环路滤波、电源处理等。外部电源使用+5 V/+12 V,内部再二次稳压。锁相环(PLL)芯片采用PEREGRINE公司锁相芯片PE33241,VCO采用HITTITE公司宽带VCO芯片HMC586,分频器采用HITTITE公司的HMC432,运放采用AD公司芯片OP27GS^[7]。具体器件选用如表1所示。模块实物如图5所示。自制部分器件如图6所示。

表1 主要器件选用表

名称	型号	数量	厂家
鉴相器	PE33241	1	PEREGRINE
VCO	HMC586	1	HITTITE
运放	OP27	1	AD
低通滤波器	LC滤波器	1	自制
2分频器	HMC432	1	HITTITE
标频放大器	ERA-2SM	1	MINI
放大器	BW302	3	13所
功分器	微带功分器	2	自制

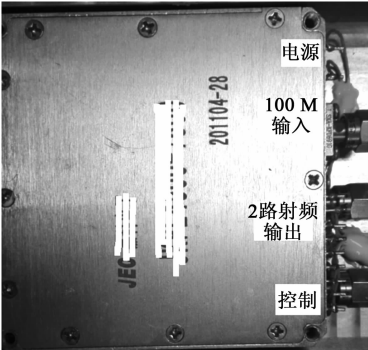


图5 模块实物图

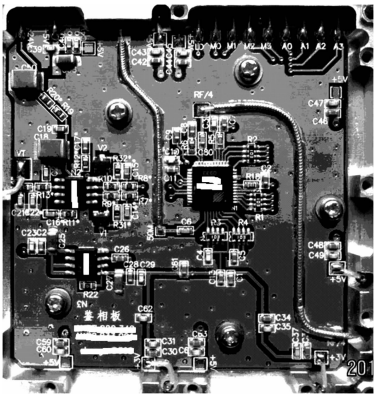


图6 模块鉴相电路实物图

4 模块测试

模块加工完成后,对模块的性能进行了测试。主要测试性能指标如表2所示。

表2 频率源模块测试指标表

频率/ GHz	输出幅度/ dBm	杂散抑 制/dB	相位噪声/ (dBc/Hz@10 kHz)
4.0	8.5	76	-108.0
4.5	7.8	76	-107.1
5.0	7.1	83	-106.3
5.5	6.5	78	-105.5
6.0	6.8	72	-105.0
6.5	7.8	73	-104.5
7.0	8.5	76	-104.0
7.5	9.1	77	-103.2
8.0	9.5	80	-102.8

测试条件如下:

- 1) 常温条件下测试,电源:+5 V/+12 V。
- 2) 标频输入为100 MHz,0 dBm;相噪为-156 dBc/Hz@10 kHz。
- 3) 杂散与幅度使用频谱仪进行测试,其结果如图7所示。

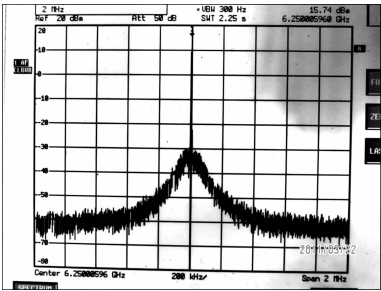


图7 杂散抑制频谱图

- 4) 相位噪声采用信号源分析仪进行测试,其结果如图8所示。

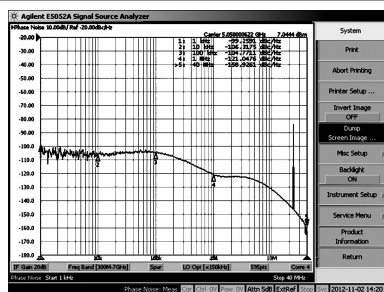


图8 相噪测试图

从表2可知,输出频率为4.0~8.0 GHz,输出幅度为14~16.5 dBm,杂散抑制为72~83 dB,相位噪声为 $-102 \sim -108$ dBc/Hz@10 kHz,步进为50 MHz,换频速度($\Delta f=1$ GHz)约为9 μ s。在测试完成后,该模块还进行了高、低温工作试验和振动冲击试验,试验结果表明,该模块在 $-25 \sim +70$ $^{\circ}$ C工作温度和恶劣的环境条件下可正常工作。综上可知,该C波段频率源模块主要技术指标均满足设计要求,验证了设计的合理性和可行性。

5 结束语

本文阐述了一种C波段捷变频率源的设计,给出了设计原理和仿真,并进行了模块系统集成,最终完成了一款C波段频率模块的实物制作。模块测试结果表明,频率源模块工作频率为4.0~8.0 GHz,相位噪声为 $-102.8 \sim -108$ dBc/Hz@10 kHz,换频速度为9 μ s,杂散抑制大于72 dB,具有较好的捷变频和较优的相位噪声,是接收机的理想本振源。目前已批量生产,应用于多个工程项目中,产生了不错的经济和社会效益。

(上接第679页)

LV Guohong, QIN Pinle, MIAO Qiguang, et al. Research on EKF algorithm based on multiple innovation theory[J]. Small Microcomputer System, 2016, 33(3):576-580.

- [11] 石勇,韩崇昭.自适应UKF算法在目标跟踪中的应用[J].自动化学报,2011,37(6):755-759.
SHI Yong, HAN Chongzhao. Application of adaptive UKF algorithm in target tracking[J]. Journal of Automation, 2011, 37(6):755-759.
- [12] LEE D J. Unscented information filtering for distributed estimation and multiple sensor fusion[C]//Honolulu, Hawaii, USA: AIAA Guidance, Navigation and Control Conference and Exhibit, IEEE, 2008:1-15.
- [13] 陈映,文树梁,程臻.一种适用于助推段弹道导弹的跟踪方法研究[J].系统仿真学报,2012,24(5):1063-1067.

参考文献:

- [1] 楼才义.电子战接收机与接收系统[M].1版.北京:电子工业出版社,2016.
- [2] 楼才义,徐建良,杨小牛.软件无线电原理及应用[M].北京:电子工业出版社,2014.
- [3] 赵亚妮,陆继炳,杨涛.基于锁相环原理的X波段频率源的设计与实现[J].压电与声光,2012,34(4):636-639.
ZHAO Ya'ni, LU Jibing, YANG Tao. Design of X-band frequency synthesizer based on PLL[J]. Piezoelectrics & Acoustooptics, 2012, 34(4):636-639.
- [4] 蔡敏,刘海威,张云.基于HMC703LP4E的宽带步进频率源设计与实现[J].电子技术,2015(10):19-22.
CAI Min, LIU Haiwei, ZHANG Yun. Design and implementation of wideband stepped-frequency source based on HMC703LP4E[J]. Electronic Technology, 2015(10):19-22.
- [5] 黄阳镇,耿军平,金荣洪,等.C波段下变频器的设计与实现[J].中国电子科学研究院学报,2014,9(6):643-647.
HUANG Yangzhen, GENG Junping, JIN Ronghong. The design and realization of LNB in C-band[J]. Journal of China Academy of Electronics and Information Technology, 2014, 9(6):643-647.
- [6] PEREGRINE SEMICONDUCTOR Inc. PE33241 Datasheet [EB/OL]. 2010-01-19. <http://pesmi.com/products/pe33241.pdf>.
- [7] Hittite microwave corporation. HMC586 Datasheet [EB/OL]. 2006-01-06. [http. hittite. com/products/hmc586.pdf](http://hittite.com/products/hmc586.pdf).
- [8] CHEN Yin, WEN Shuliang, CHENG Zhen. A tracking method for booster ballistic missiles[J]. Journal of System Simulation, 2012, 24(5):1063-1067.
- [14] 任龙飞,刘国栋. UKF在视频移动目标跟踪中的应用[J].江南大学学报(自然科学版),2012,11(6):670-673.
REN Longfei, LIU Guodong. Application of UKF in video moving target tracking[J]. Journal of Jiangnan University, 2012, 11(6):670-673.
- [15] DU Xiaokun, ZHAO Hui, CHANG Xiaoheng. Two novel approaches of UIF design for T-S fuzzy system[J]. Neurocomputing, 2016, 186:195-199.
- [16] 刘涛,李明,骆瑞玲.改进的交互式多模型跟踪算法[J].计算机工程,2009,35(22):207-209.
LIU Tao, LI Ming, LUO Ruiling. Improved interactive multi-model tracking algorithm[J]. Computer Engineering, 2009, 35(22):207-209.