

# 基于 SiP 技术的宽带小型化锁相源设计

郎小元, 邹雷, 颜俊, 蒋杰, 毛繁

(中国电子科技集团公司第二十六研究所, 重庆 401332)

**摘要:**针对射频微波电路中频率源宽带、小型化、通用化的应用需求,采用基于高温共烧陶瓷(HTCC)的系统级封装(SiP)技术实现宽带锁相源的小型化,并搭配多功能电路单元实现放大、分频、倍频等电路功能。设计的锁相源尺寸仅 15 mm×12 mm×3 mm,搭配不同的内部功能电路,其输出信号频率为 0.1~40 GHz。测试结果表明其性能指标满足工程应用需求,对促进宽带锁相源的工程化应用具有重要作用。

**关键词:**锁相源;小型化;高温共烧陶瓷(HTCC);垂直互连

**中图分类号:**TN61 **文献标识码:**A

## Design of Wideband Phase-Locked Frequency Synthesizer Based on SiP

LANG Xiaoyuan, ZOU Lei, YAN Jun, JIANG Jie, MAO Fan

(The 26th Institute of China Electronics Technology Group Corporation, Chongqing 401332, China)

**Abstract:** To satisfy the demand for the miniaturization and universality of wideband-frequency synthesizers in radio-frequency and microwave circuits, SiP technology based on high-temperature co-fired ceramics (HTCC) is utilized to miniaturize wideband-frequency synthesizers in this study, and multifunctional circuits are utilized for signal amplification, frequency division, and frequency doubling. This design affords a miniature wideband-frequency synthesizer (0.1–40 GHz) measuring 15 mm×12 mm×3 mm, and its performance satisfies the demand of engineering applications. This design can promote the engineering application of wideband-frequency synthesizers.

**Key words:** phase-locked frequency synthesizer; miniaturization; high-temperature co-fired ceramics (HTCC); vertical interconnect

### 0 引言

现代射频微波电路中,小型化、宽频带、多功能、高性能、低成本成为频率源发展的主要方向,频率源的提升对系统的性能提高尤为重要。系统级封装(SiP)因其装配密度高、一致性好、体积小、成本低等优点<sup>[1-3]</sup>已成为实现频率源小型化的主要方式,被广泛地应用到工程实践中。高温共烧陶瓷(HTCC)的三维布线特性,能大幅提高产品的小型化水平,且具有加工精度高、可靠性高、气密性好、成本低等特点,比低温共烧陶瓷(LTCC)更具优势<sup>[4-6]</sup>,在实现 SiP 技术中起着重要作用。球栅阵列(BGA)以锡球阵列取代传统的方形扁平无引脚封装(QFN)的封装方式,具有成本低、电气和物理性能良好、电磁兼容性优异等特点<sup>[7]</sup>,能满足 SiP 锁相源中射频管脚信号频率高、频段宽、电气性能高

的要求。HTCC 基板到 BGA 管脚的过渡对射频信号传输性能很关键,综合电性能与工艺难度,采用垂直互连的方式实现信号过渡<sup>[8-9]</sup>。目前国内针对小型化锁相源的研究较多,主要集中在 20 GHz 以下的频段,宽带锁相源的体积仍偏大,平面尺寸基本大于 20 mm×15 mm,在一些小尺寸模组中应用仍受限。将 SiP 技术应用于宽带频率源设计中,采用 HTCC 基板,结合射频通孔垂直互连和 BGA 植球技术,研制出了一款超宽带、小型化、多功能、高性能的锁相源,输出频率为 0.1~40 GHz,产品尺寸为 15 mm×12 mm×3 mm,可实现点频、宽带跳频输出。

### 1 宽带锁相源框架设计

设计采用单锁相环加多功能输出电路的方案,内部原理框图如图 1 所示。将点频、跳频功能集于

收稿日期:2024-06-28

作者简介:郎小元(1991-),女,重庆市万州区人,工程师,硕士。

一体,锁相源内部集成单片机(MCU),可简化点频应用场景的电路控制需求。锁相源可直接由外部控制器进行控制,实现输出不同的输出频率、跳频步进。本文选用宽带压控振荡器(VCO),直接输出频率 10~20 GHz,倍频后可输出 20~40 GHz 信

号,0.1~10 GHz 频段通过可编程分频器输出。多功能输出电路单元可实现分频、倍频、功率放大、功率均衡、射频开关多种电路功能,在装配时根据需要的功能进行装配。锁相源内部集成电源稳压模块,简化锁相源外部供电,提高锁相环抗干扰能力。

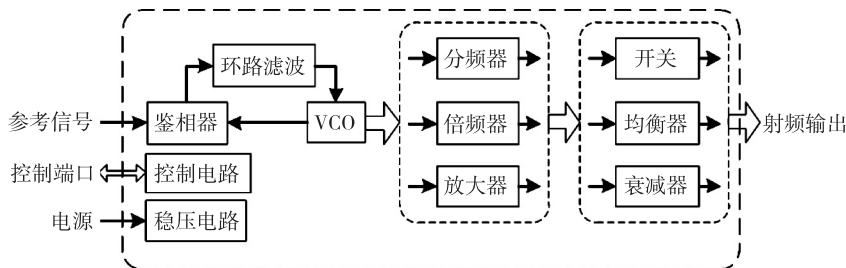


图1 锁相源电路原理框图

## 2 锁相源结构设计

锁相源采用 HTCC 陶瓷基板作为电路支撑,介电常数为 9.0,单层基板厚度为 0.1 mm,共 8 层基板。基板表层安装芯片和烧结围框,中间层实现走线和信号的互连,底部为 BGA 植球阵列,采用直径为  $\varnothing 0.45$  mm 的锡铅球,植球间距为 0.8 mm。锁相源三维结构图如图 2 所示。

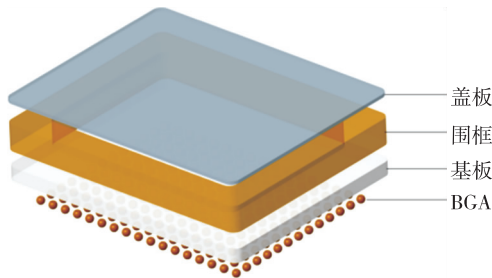


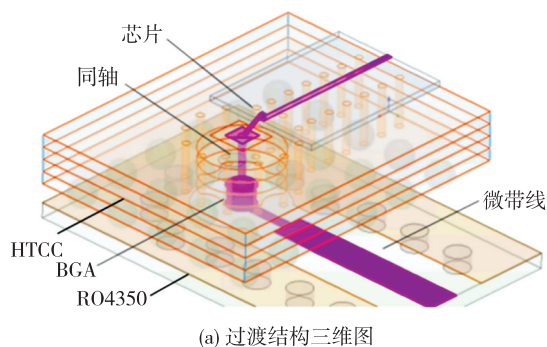
图2 锁相源结构图

锁相源外形尺寸为 15 mm×12 mm×3 mm。基板与围框采用共晶焊工艺进行烧结,芯片装配完成后对盖板进行平行封焊以实现芯片的气密。产品底部为 BGA 阵列,射频输入输出端口四周为接地管脚,保证射频信号与外部信号隔离良好,根据应用环境的基板特性,可采用表层走线、中间层过渡到表层走线等多种方式。

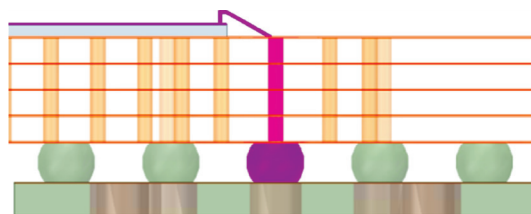
## 3 宽带垂直互连仿真设计

锁相源对外射频输出端口需传输 0.1~40 GHz 的宽带射频信号,其阻抗匹配对高频段信号的传输较关键,设计采用垂直过渡的方式实现射频信号在 HTCC 基板两面的互连。输出端口采用 BGA 结构,外部射频线垂直或平行于锁相源内部信号方向

对信号传输性能影响极小,解决了高频下 QFN 焊盘对外部基板的射频走线方向限制。鉴于锁相源多应用于频综、射频收发等系统,本文采用 RO4350 基板作为产品装配基板进行仿真,建立了芯片-同轴-BGA-微带线的过渡结构。芯片输出通过金丝键合到基板内部表层焊盘上,经陶瓷基板中的垂直过渡结构连接到基板底层的焊盘。RO4350 基板上射频走线为微带线,为改善输出阻抗匹配,在 RO4350 基板上设计了一个简单的 T 形过渡结构。锁相源内部到系统电路板的信号过渡结构如图 3 所示。在 HFSS 软件中建立仿真模型,经仿真,在 0.1~40 GHz 频段内输入输出端口回波损耗优于 12 dB,插损小于 0.5 dB(见图 4),可满足工程应用需求。



(a) 过渡结构三维图



(b) 过渡结构侧视图

图3 过渡结构示意图

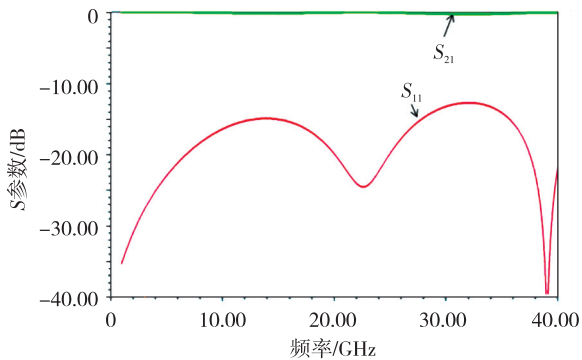


图4 过渡结构仿真结果

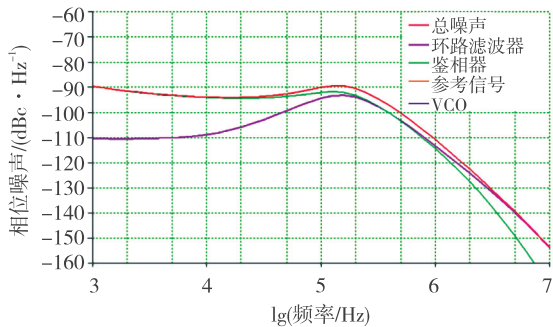
#### 4 指标设计

基于宽频带鉴相的需求,鉴相器选用工作频率覆盖10~20 GHz的鉴相芯片。锁相环输出信号的带内相位噪声为

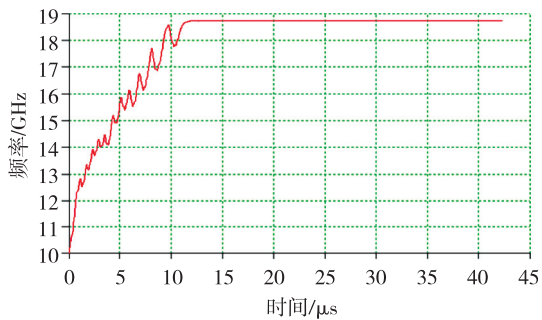
$$PN_{\text{floor}} = FOM + 10 \log f_{\text{pd}} + 20 \log N \quad (1)$$

式中: $PN_{\text{floor}}$ 为锁相环最终输出相位噪声; $FOM$ 为鉴相器归一化噪底; $f_{\text{pd}}$ 为鉴相频率; $N$ 为分频比。

100 MHz参考输入信号锁相后输出10~20 GHz信号,鉴相频率取5 MHz,为了兼顾跳频时间与杂散抑制,环路带宽设计为100~300 kHz。根据式(1)计算可得,20 GHz信号相位噪声约为-91 dBc/Hz@10 kHz,与软件仿真结果相符,跳频时间 $< 20 \mu\text{s}$ ,仿真结果如图5所示。



(a) 20 GHz相噪仿真图



(b) 跳频时间仿真图

图5 相噪与跳频时间仿真结果

VCO输出功率为0~4 dBm,功分后最低功率

约为-4 dBm,经放大器放大后饱和功率约为14 dBm,均衡器均衡量为3 dBm,考虑输出端口及实际装配引起的误差为3 dB,可保证最后输出功率大于5 dBm。产品采用+5 V、+15 V双电源供电,功耗小于1.5 W。

#### 5 测试结果

宽带锁相源实物如图6所示,产品可搭配不同的内部功能电路使用,外形尺寸相同。

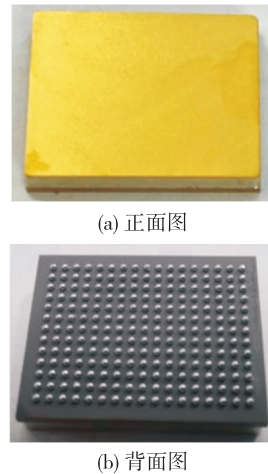
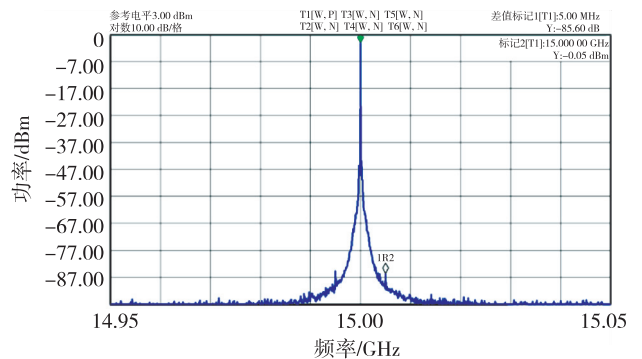


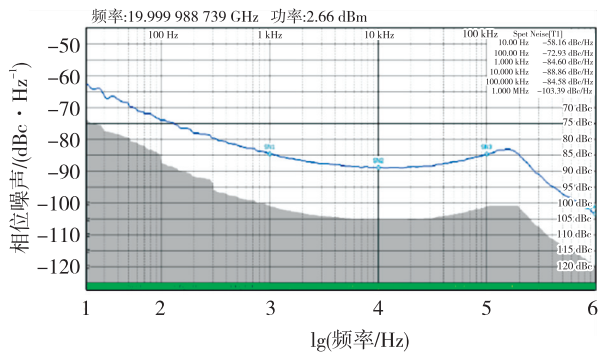
图6 宽带锁相源实物

锁相环的环路滤波器具有低通特性,能有效滤除高频杂波,本方案采用5 MHz鉴相频率,环路滤波器对带外杂散信号有良好的抑制效果。下面对锁相环搭配放大电路、分频电路、倍频电路进行测试,并给出各模式下输出信号的典型测试结果。

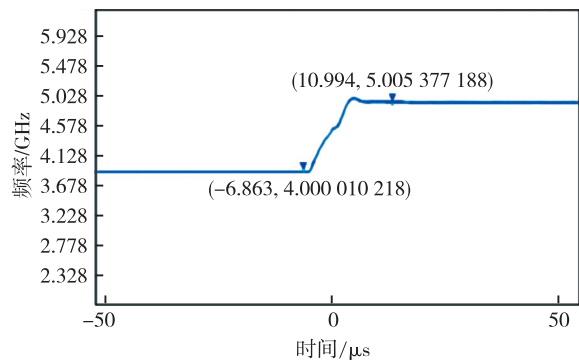
放大模式下锁相源杂散测试结果如图7所示,整个频段内杂散抑制优于80 dBc,相位噪声低于-88 dBc/Hz@10 kHz。因仪器测试频率限制,将射频信号分频后再进行跳频时间测试,分频电路不影响跳频时间。测试15 GHz、20 GHz信号四分频后的跳频时间,测得频率精度1 MHz内的跳频时间 $< 30 \mu\text{s}$ 。



(a) 输出15 GHz近端杂散测试



(b) 输出20 GHz信号相位噪声测试



(c) 四分频后跳频时间测试

图7 放大模式测试结果

相噪测试结果比仿真结果恶化约3 dB,经分析,本设计使用的低成本运算放大器性能较差,且为了实现小型化简化的电源滤波,导致相噪恶化。测试夹具加电缆线损耗约为5 dB,最后信号输出功率大于5 dBm。

锁相源分频模式下可实现1/2/4/8/16/32/64/128次分频,输出频率范围为0.1~20 GHz。全频段近端杂散抑制>80 dBc,相位噪声按20logM比值优化,其中M为分频前后频率比值。

倍频器模式下,锁相源输出频率为20~40 GHz,信号最高输出频率为40 GHz,如图8所示。

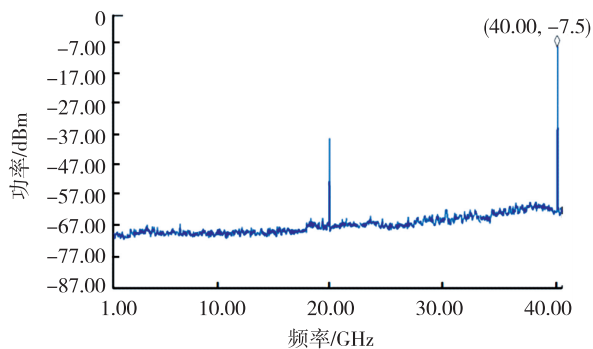


图8 倍频输出40 GHz信号测试结果

由图8可知,杂散抑制>70 dBc,基波抑制>30 dB,相噪比20 GHz信号恶化6 dB,10 kHz处

相位噪声约为-83 dBc/Hz。倍频后输出功率加上夹具、线的损耗为8 dB,实际输出功率 $\geq 0$ 。由图8还可看出,不同工作模式下,本设计的锁相源输出信号频率为0.1~40 GHz,20 GHz信号相位噪声低于-88 dBc/Hz@10 kHz,全频段杂散抑制优于70 dBc,跳频时间<30  $\mu$ s,满足多数宽带频率源的应用需求,与同类型的宽带锁相源产品相比,本设计锁相源尺寸更小,电性能指标更好。

## 6 结束语

采用SiP技术实现了锁相频率源的小型化、高可靠性及多功能的要求,搭配不同的内部功能电路,信号输出频率为0.1~40 GHz,体积为15 mm×12 mm×3 mm。与同类型产品相比,本设计的锁相频率源尺寸小,功能多,可满足多种应用需求,节省了多种频率源产品的研制工作,具有较大的工程应用价值。

## 参考文献:

- [1] 王文凯.超宽带微封装频率合成器的设计[J].电子技术应用,2021,47(12):131-140.
- [2] 廖长春.微组装锁相频率源小型化设计[D].成都:电子科技大学,2019.
- [3] 尹峰,钱兴成,王晟,等.基于3D-SiP技术的小型化混频锁相源的研制[J].固体电子学与进展,2023,43(3):221-226.
- [4] 于聪,叶强,罗昌槐.基于LTCC的超宽带巴伦滤波器小型化设计[J].压电与声光,2022,44(6):837-840.  
YU Cong, YE Qiang, LUO Changwei. Miniaturization design of UWB balun filter based on LTCC[J]. Piezoelectrics & Acoustooptics, 2022, 44(6): 837-840.
- [5] YANG F, ZHANG B, SONG L. A Ku-band miniaturized system-in-package using HTCC for radar transceiver module application[J]. Micromachines, 2022, 13(11):1817.
- [6] 赵怡,田野,毛繁,等.基于HTCC工艺的短砖式毫米波收发模组[J].压电与声光,2022,44(4):647-650.  
ZHAO Yi, TIAN Ye, MAO Fan, et al. Study on short-brick millimeter-wave T/R module technology based on HTCC process[J]. Piezoelectrics & Acoustooptics, 2022, 44(4): 647-650.
- [7] 张学仁.BGA在射频频带频综SiP中的应用[J].科技经济导刊,2021,29(14):101-102.
- [8] 杜帅,王志刚.基于HTCC的BGA封装无源互连结构[C]//青岛:2023年全国微波毫米波会议,2023:11-13.
- [9] 王晟.一种用于HTCC封装的DC~20 GHz频段垂直互连结构设计[J].信息工程,2024,4(1):83-85.